



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 6月18日

出願番号  
Application Number:

平成11年特許願第172024号

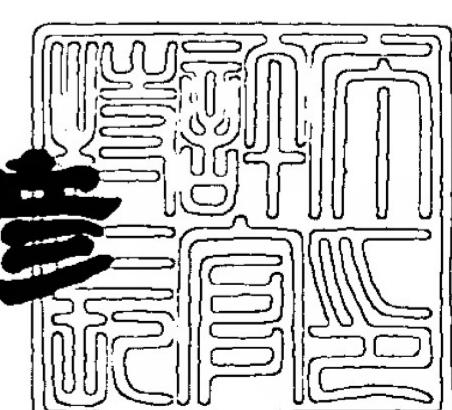
出願人  
Applicant(s):

株式会社豊田中央研究所

1999年10月15日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特平11-3071393

【書類名】 特許願  
【整理番号】 TC1-0362  
【提出日】 平成11年 6月18日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/00  
【発明の名称】 シリコン針状錐体を用いた単電子半導体装置  
【請求項の数】 9  
【発明者】  
【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内  
【氏名】 兼近 将一  
【発明者】  
【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内  
【氏名】 中嶋 健次  
【発明者】  
【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内  
【氏名】 加地 徹  
【発明者】  
【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内  
【氏名】 光嶋 康一  
【特許出願人】  
【識別番号】 000003609  
【氏名又は名称】 株式会社豊田中央研究所  
【代理人】  
【識別番号】 100075258  
【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100081503

【弁理士】

【氏名又は名称】 金山 敏彦

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリコン針状錐体を用いた単電子半導体装置

【特許請求の範囲】

【請求項1】 1個又は少数個の電子の伝搬を制御する単電子半導体装置であり、

1個又は少数個の電子の伝搬経路の少なくとも一部として基板上に突設形成されたシリコン針状錐体を用いることを特徴とする単電子半導体装置。

【請求項2】 請求項1に記載の装置において、

該シリコン針状錐体の側方に、該シリコン針状錐体を挟んでソース領域及びドレイン領域を近接配置し、

前記シリコン針状錐体を量子ドットとして用い、該シリコン針状錐体と前記ソース領域との間及び該シリコン針状錐体と前記ドレイン領域との間、及びソースドレイン領域間に前記シリコン針状錐体が複数本形成されている場合の該シリコン針状錐体間を微小トンネル接合として用い、ソース領域とドレイン領域との間で一個又は少数個の電子の伝搬を制御することを特徴とする単電子半導体装置。

【請求項3】 請求項1に記載の単電子半導体装置において、

前記シリコン針状錐体の側面周囲に該錐体内の電位を制御するための電位制御用電極を備え、

前記電位制御電極による電位制御によって、前記シリコン針状錐体の底部付近と先端部付近との間で、1個又は少数個の電子の伝搬が制御されることを特徴とする単電子半導体装置。

【請求項4】 請求項1に記載の単電子半導体装置において、

前記シリコン針状錐体の側面周囲に該錐体内の電位を制御するための電位制御用電極を備え、

前記電位制御電極による電位制御によって、前記シリコン針状錐体の側面付近を空乏化させ、該シリコン針状錐体の芯部に量子細線領域を形成することを特徴とする単電子半導体装置。

【請求項5】 1個又は少数個の電子の伝搬を制御する单電子半導体装置であり、

基板上に突設されたシリコン針状錐体と、前記シリコン針状錐体の少なくとも下部領域を埋めるよう基板上に形成された伝導材料層と、を有し、

前記伝導材料層の前記シリコン針状錐体の周囲領域を量子ドット及び微小トンネル接合として機能させ、前記伝導材料層の平面方向における1個又は少数個の電子の伝搬を制御することを特徴とする单電子半導体装置。

【請求項6】 請求項5に記載の单電子半導体装置において、

前記シリコン針状錐体は、前記伝導材料層の幅方向に並ぶよう複数近接して形成され、

隣接する2つのシリコン針状錐体で挟まれた領域での前記伝導材料層が前記量子ドット及び前記微小チャンネルとして機能することを特徴とする单電子半導体装置。

【請求項7】 請求項5に記載の单電子半導体装置において、

前記シリコン針状錐体は、前記伝導材料層の端部に沿った方向に並ぶよう複数近接して形成され、

隣接する2つのシリコン針状錐体で挟まれた領域での前記伝導材料層が前記量子ドットとして機能し、

前記並んだ複数のシリコン針状錐体と前記伝導材料層の端部とに挟まれた領域での前記伝導材料層が微小トンネル接合として機能することを特徴とする单電子半導体装置。

【請求項8】 請求項5に記載の单電子半導体装置において、

前記シリコン針状錐体は、前記伝導材料層の端部に沿った方向に並ぶよう複数近接して形成され、

前記シリコン針状錐体を中心とした周辺領域における前記伝導材料層に空乏層が形成され、

前記伝導材料層内の空乏層端と前記伝導材料層の端部との間の領域内に量子ドット及び微小トンネル接合が形成されることを特徴とする单電子半導体装置。

【請求項9】 請求項1～請求項8のいずれか一つに記載の单電子半導体装置において、

前記シリコン針状錐体は、

单結晶シリコン基板又は单結晶シリコン層中に形成された不純物析出領域をマイクロマスクとし、該シリコン基板又はシリコン層を高選択比異方性エッチングすることにより、前記マイクロマスクを頂点として形成することを特徴とする单電子半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、1個又は少数個の電子の伝搬を制御する单電子半導体装置、特にシリコンプロセスによって作成する单電子半導体装置に関する。

##### 【0002】

##### 【従来の技術】

单電子トランジスタは現代のLSIの高集積化で最大の懸案となっている低消費電力化を実現できる素子として期待されている。单電子トランジスタの基本構成とその動作原理については、平易に説明した参考文献として、「量子光学と新技術〔V〕」（電子情報通信学会誌Vol. 72, No. 10, 1177頁-1184頁）がある。

##### 【0003】

図23は、单電子トランジスタの一般的な等価回路を表している。单電子トランジスタは、図示するようにソース、ドレイン、ゲートの三端子素子であり、ソースからドレインに電子が流れる。キャリアが流れる経路中に、微小トンネル接合（容量が $10^{-18} F$ 程度で電子がトンネルできる程度薄い微小絶縁領域）を介して、伝導体島（ナノオーダサイズの電子が存在できる空間）があり、伝導体島の電位を制御するためにゲート容量（容量は特に規定しない。通常は微小トンネル接合の容量より3桁程度大きい。）を介してゲート電極がある。そして、この单電子トランジスタは、1個の電子であっても微小トンネル接合をトンネルできない現象（クーロンブロッケード）を利用した素子である。

## 【0004】

クーロンブロッケードとは、1個の電子が微小トンネル接合をトンネルして伝導体島へ移動するのに伴う静電エネルギー  $e^2/C$  は  $C$  が小さいため熱エネルギー  $(k_B T)$  より大きくなりトンネルするとエネルギー的に損するためトンネルできない現象である。ここで、 $e$  は電荷素量で  $1.6 \times 10^{-19}$  C、 $k_B$  はボルツマン定数で  $8.62 \times 10^{-5}$  (eV/K)、T は絶対温度を表わす。

## 【0005】

たとえば、单電子トランジスタでは、伝導体島に既に電子が N 個在った場合、電子が微小トンネル接合をトンネルにより伝導体島の電子数が N - 1 個になることに伴うエネルギー  $\Delta E$  ( $N \rightarrow N - 1$ ) (トンネルで系がする仕事といつてもいい) が大きくなり、エネルギー的に損をする ( $\Delta E$  ( $N \rightarrow N - 1$ ) > 0) 場合、クーロンブロッケードが起きる。エネルギー的に得をする場合 ( $\Delta E$  ( $N \rightarrow N - 1$ ) < 0)、クーロンブロッケードは起きない。このクーロンブロッケードの調節はゲート電圧で行うことができる。その結果、図 24 に示すようなゲート電圧ドレイン電流特性が得られ、クーロンブロッケードの有無を利用してスイッチング素子動作を実現することができる。

## 【0006】

## 【発明が解決しようとする課題】

現在までに提案されている单電子トランジスタの材料としては、ガリウム砒素などを組み合わせた化合物半導体を採用していることが多い（例えば特開平9-139491号公報）。また、金属を採用する場合もある。例えば、STM針を利用してチタン極薄膜 ( $\sim 3$  nm) を酸化させ量子ドットや微小トンネル接合を作製するのがその代表例である。これらを採用することにより、現在シリコンプロセスでの微細加工に利用されているフォトリソグラフィ工程（加工が  $100$  nm 程度の精度）よりはるかに微細な制御加工ができるからである。

## 【0007】

しかし、従来技術においては、シリコンCMOS集積回路とともに单電子トランジスタを同一チップ内に作り込むことを考えた場合、シリコンと化合物半導体層を同一チップ内に作る必要がありプロセス上の繁雑さや不純物汚染が起りやす

いという問題があり、容易には実現不可能である。また、STMなどを利用した場合、スループットが極めて悪く実用化できない。

## 【0008】

本発明は、シリコンプロセスによって容易に形成可能な新たな単電子トランジスタを提供することを目的とする。

## 【0009】

## 【課題を解決するための手段】

上記目的を達成するためにこの発明では、1個又は少数個の電子の伝搬を制御する単電子半導体装置において、基板上に突設形成されたシリコン針状錐体を用い、この錐体を電子伝搬経路、つまりクーロンブロックードを発現させる電子伝搬経路の少なくとも一部として用いる。具体的には、シリコン針状錐体を量子ドットとして機能させ、又は該錐体を量子ドット及び微小トンネル接合として機能させ、単電子効果を発現させる。

## 【0010】

シリコン針状錐体は、その先端付近の曲率半径が数nm～十数nmで先端が微小な錐体であるので、単電子効果を発揮でき、更に、シリコン結晶によって構成されるため、通常の方法により任意の導電性を与えることが可能である。

## 【0011】

本発明において、単電子半導体装置は、例えば、該シリコン針状錐体の側方に、該シリコン針状錐体を挟んでソース領域及びドレイン領域を近接配置し、前記シリコン針状錐体を量子ドットとして用い、該シリコン針状錐体と前記ソース領域との間及び該シリコン針状錐体と前記ドレイン領域との間を微小トンネル接合として用い、ソース領域とドレイン領域との間で一個又は少数個の電子の伝搬を制御するものである。また、ソースドレイン領域間にシリコン針状錐体が複数本形成されている場合には、さらにシリコン針状錐体間も微小トンネル接合として機能する。

## 【0012】

本発明のシリコン針状錐体は、先端が非常に細く量子ドットとして機能し易い。従って上述のように、シリコン針状錐体を量子ドットとし、ソース領域との間

、ドレイン領域との間、錐体が複数形成されている場合の該錐体間を微小トンネル接合として用いた単電子半導体装置が容易に実現できる。ここで、ゲート電極を用いてソース領域とドレイン領域との間に電位制御用電圧（例えばゲート電極）によって電圧を印加することで、ソースドレイン間での1個又は少数の電子のクーロンブロッケードを制御できる。

## 【0013】

本発明の他の特徴は、前記シリコン針状錐体の側面周囲に該錐体内の電位を制御するための電位制御用電極を備え、前記電位制御電極による電位制御によって、前記シリコン針状錐体の底部付近と先端部付近との間で、1個又は少数個の電子の伝搬を制御することである。つまり、シリコン針状錐体の底部と先端との間の単電子の伝搬を電位制御用電極により制御するのである。

## 【0014】

シリコン針状錐体の先端付近は、上述のように半径数nmとすることができますため、そのまま量子細線として機能する。よって、先端付近に対し選択的に電位制御電極によって印加電圧を制御することで、単電子効果を発現させることができる。

## 【0015】

また、本発明の単電子半導体装置において、前記シリコン針状錐体の側面周囲に該錐体内の電位を制御するための電位制御用電極を備え、前記電位制御電極による電位制御によって、前記シリコン針状錐体の側面付近を空乏化させ、該シリコン針状錐体の芯部に量子細線領域を形成する構成とすることもできる。

## 【0016】

また、本発明に係る単電子半導体装置において、別の特徴は、伝導材料層中にシリコン針状錐体を配置し、伝導材料層中の電子の移動をその存在により又は電界効果により妨げる構成をとることである。シリコン針状錐体は、不純物のシリコン結晶内へドープ・析出によって形成されるマイクロマスクによって形成できるため、ドープする不純物量の制御によりその単位面積あたりの数を制御できる。または、錐体の形成密度は、不純物濃度を高濃度に制御すれば十分高くできるため錐体同士又は伝導材料層の端部と近接配置でき、錐体同士又は伝導材料層

の端部との間隔を量子細線効果が得られる程度に狭くすることが可能である。よって、シリコン針状錐体の周囲に量子ドット及び微小トンネル接合を形成することが可能となり、その領域で電子のクーロンブロッケード及びトンネリングを制御することができる。

## 【0017】

例えば、本発明において、単電子半導体装置は、1個又は少数個の電子の伝搬を制御する単電子半導体装置であって、基板上に突設されたシリコン針状錐体と、前記シリコン針状錐体の少なくとも下部領域を埋めるよう基板上に形成された伝導材料層と、を有し、前記伝導材料層の前記シリコン針状錐体の周囲領域を量子ドット及び微小トンネル接合として機能させ、前記伝導材料層の平面方向における1個又は少数個の電子の伝搬を制御することを特徴とする。

## 【0018】

また、本発明では、前記シリコン針状錐体が、前記伝導材料層の幅方向に並ぶよう複数近接して形成され、隣接する2つのシリコン針状錐体で挟まれた領域での前記伝導材料層が前記量子ドット及び前記微小チャンネルとして機能する構成とすることもできる。

## 【0019】

本発明の他の特徴は、上記単電子半導体装置において、前記シリコン針状錐体が、前記伝導材料層の端部に沿った方向に並ぶよう複数近接して形成され、隣接する2つのシリコン針状錐体で挟まれた領域での前記伝導材料層が前記量子ドットとして機能し、前記並んだ複数のシリコン針状錐体と前記伝導材料層の端部とに挟まれた領域での前記伝導材料層が微小トンネル接合として機能することである。

## 【0020】

本発明のさらに別の特徴は上記単電子半導体装置において、前記シリコン針状錐体が、前記伝導材料層の端部に沿った方向に並ぶよう複数近接して形成され、前記シリコン針状錐体を中心とした周辺領域における前記伝導材料層に空乏層が形成され、前記伝導材料層内の空乏層端と前記伝導材料層の端部との間の領域内に量子ドット及び微小トンネル接合が形成されることである。

## 【0021】

次に、本発明において、基板に突設形成されるシリコン針状錐体について説明する。このシリコン針状錐体は、単結晶シリコン基板又は単結晶シリコン層中に形成された不純物析出領域をマイクロマスクとし、該シリコン基板又はシリコン層を高選択比異方性エッティングすることにより、該マイクロマスクを頂点として形成することができるものである。図1は、シリコン針状錐体の形成原理を表している。シリコン基板（シリコン層でもよい）には、不純物として例えば酸素を導入する。酸素が導入されたシリコン基板に対し熱処理を行うと、酸素が導入されていた領域に不純物析出領域として酸素析出領域（凝集した酸素とSiが結合した酸素析出欠陥 $\text{SiO}_2$ ）が形成される（図1（a）→（b）参照）。熱処理後、このシリコン基板に対し $\text{SiO}_2$ 選択比の大きい条件で異方性エッティングを施すと、Si結晶とエッティングレートの異なる（ここでは、Si結晶よりもエッティングされ難い）酸素析出物がマイクロマスクとなり、このマスクを頂点としてSi錐体がエッティング露出面に形成される（図1（d））。異方性エッティングは、例えば、シリコン基板又はシリコン膜中の酸素析出領域をマイクロマスクとする場合、ハロゲン系（Br、Cl、F）ガスを含むガスを用いてドライエッティング（例えば反応性イオンエッティング）により行うことができる。この様な条件でエッティングすれば、図1（d）のような酸素析出領域を頂点とした錐体、ここでは、円錐が得られる。

## 【0022】

このような原理により得られるシリコン針状錐体は、針先端付近の曲率半径が数nm～十数nmで、アスペクト比が10程度の非常に細長い針状の錐体となる。また、錐体の底角は、例えば $80^\circ$ 程度或いはそれ以上と極めて大きく、錐体の高さは、数 $\mu\text{m}$ 程度とすることも可能である。エッティングによって形成されるシリコン針状錐体のアスペクト比は、例えばその異方性エッティングに用いる混合ガスの混合比などを制御することによって10以上とできる（必要に応じて10より小さくすることも可能である）。

## 【0023】

また、本発明において、このシリコン針状錐体として、針状の錐台であって、

その上面が底面に向かってすり鉢形状（又は逆錐体形状）に除去され、環状の先端形状を備える構造を採用することもできる。先端を環状とする、つまり、錐台の先端外径と、該すり鉢部分の径との差に応じた環状部分が形成され、その先端の実効面積が非常に小さくなっている。錐台の先端外径、つまり環形状の外径数 nm～30nm程度に対し、環の内径は上記外径との差が例えば2nm～4nmに構成でき、環の幅は例えば1nm～2nm程度となる。このように非常に幅の狭い環を先端に形成すれば、先端の量子細線化がより確実かつ簡単となり、単電子効果をより容易に発現させることができる。

#### 【0024】

##### 【発明の実施の形態】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

#### 【0025】

##### 【実施形態1-1】

本実施形態1-1では、単電子半導体装置において、1個又は少数個の電子の伝搬経路として、具体的には単電子半導体装置における量子ドット（電子の存在しやすいナノオーダサイズの領域：伝導体島）として、基板上に突設形成されたシリコン針状錐体を用いる。シリコン針状錐体は、単結晶シリコン基板又は単結晶シリコン層中に形成された不純物析出領域をマイクロマスクとし、該シリコン基板又はシリコン層を高選択比異方性エッチングすることにより、該マイクロマスクを頂点として形成することができる。このような原理により形成されるシリコン針状錐体は、先端付近の曲率半径が数nm～十数nmで、先端の微小な針状の錐体となる。

#### 【0026】

図2は、本実施形態1-1に係る単電子トランジスタを示しており、図2(a)は、断面構成、図2(b)は、図2(a)の点線2A-2Aで示す位置における平面構成を示している。図2において、シリコン基板10には埋込酸化膜12及び薄膜単結晶シリコン層20が形成され、SOI(Silicon On Insulator)構造が形成されている。そして、この薄膜単結晶シリコン層20を用いて複数のシ

リコン針状錐体22が密集して形成されており、同じ薄膜単結晶シリコン層20を用いてシリコン針状錐体群を挟むように側方に近接してソース領域20sとドレイン領域20dが形成されている。複数のシリコン針状錐体22はそれぞれ高さ10nm程度の大きさで、その1つ1つが、それぞれ1つの量子ドットとして機能する。また複数のシリコン針状錐体22の互いの間、ソース領域20sシリコン針状錐体22との間隔及びドレイン領域20dシリコン針状錐体22との間隔が微小トンネル接合として機能する。

#### 【0027】

本実施形態1-1において、シリコン針状錐体22は、ソース、ドレイン領域20s、20d間に、電子が錐体22間をトンネルできる程度に密集かつ近接させる。ソース領域20sとドレイン領域20dとの間に形成されたシリコン針状錐体22の隙間は酸化膜26などの絶縁層で埋められ、シリコン針状錐体22の形成領域上方には、導電材料として多結晶シリコン等を用いた電位制御用のゲート電極30が形成されている。なお、ゲート電極30にはコンタクトホールを介してアルミニウム等からなるゲート端子30gが接続されている。ソース領域20sにはコンタクトホールを介してアルミニウムからなるソース端子30sが接続され、ドレイン領域20dには、同様にコンタクトホールを介してアルミニウムからなるドレイン端子30dが接続されている。

#### 【0028】

次に、上記実施形態1-1に係る单電子トランジスタの製造方法の一例について図3及び図4を更に参照して説明する。

#### 【0029】

(a) SOI基板上の単結晶シリコン層を全面酸化し、フッ酸でこの酸化膜をウェットエッチングすることで、シリコン層20を薄膜化してSIO基板上に厚さ10nm~15nm程度の薄膜単結晶シリコン層20を形成する。図3(a)参照。

#### 【0030】

(b) 次に、薄膜単結晶シリコン層20上にレジストを塗布し、フォトリソグラフィーによりシリコン針状錐体を作製する領域を開口し、不純物として酸素を

イオン注入する（ドーズ量は $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度、加速エネルギーは30 keV）。なお、この酸素のドーズ量は、形成される複数のシリコン針状錐体が、その間を電子がトンネルできる程度近接配置される程度の高濃度にすることが好適である。図3 (b) 参照。

## 【0031】

(c) 酸素イオンを注入した後、基板をアニール処理し、アニール処理後、単結晶シリコン層20の主成分であるSi結晶に対し、上記アニール処理によって注入した酸素原子とSiが結合してが析出してできた $\text{SiO}_2$ が100倍以上エッティングされにくい高選択比のドライエッティングをする。このような高選択比異方性エッティングを行うことで、Si結晶よりもエッティングされ難い酸素析出物 $\text{SiO}_2$ がマイクロマスクとなり、このマスクを頂点としてシリコン針状錐体22がエッティング露出面に得られる。ここで異方性エッティングは、例えば、シリコン基板又はシリコン膜中の酸素析出領域をマイクロマスクとし、一般的なRIE装置を用いてエッティングを行う場合に、ハロゲン系混合ガス（例えば、HBr/NF<sub>3</sub>/He+O<sub>2</sub>混合ガス）を用いることが好適である。ハロゲン系のエッティングガスは、シリコン中の酸素析出領域（析出欠陥）に対し、そのエッティング選択比がF、Cl、Brの順で選択比が高くなるので、異方性エッティングによって針状錐体を確実に形成するためには、Br系ガスが最も好ましく、以下Cl、Fの順となる。なお、RIEを施すことによって円錐の側壁には反応生成物などからなる保護膜が付着し、錐体形状維持に寄与すると考えられているが、この保護膜は異方性エッティング実行後、基板10を例えば希フッ酸に浸することで除去する。この様な条件で異方性エッティングすることで酸素析出領域を頂点とした錐体、ここでは、円錐が得られる。なお、開口部を挟むようにレジストに覆われた領域は、シリコン針状錐体22の形成時に、薄膜単結晶シリコン層20がエッティングされずに残り、シリコン針状錐体22が形成される際、この錐体22を挟むようソース領域20s、ドレイン領域20dが形成される。図3 (c) 及び図1参照。

## 【0032】

(d) シリコン針状錐体22を形成した後、レジストを除去し、熱酸化処理を

行ってシリコン針状錐体22の表面（側壁）を酸化させ、錐体側壁表面に熱酸化膜24を形成する。次に、プラズマCVD（Chemical Vapor Deposition）によりシリコン針状錐体22の周囲の開口部分を埋め、さらにソース領域20s及びドレイン領域20d上を覆うように酸化膜26を形成する。図3（d）参照。

#### 【0033】

（e）酸化膜26の上に、導電性材料として多結晶シリコンを30nmの厚さに堆積し、多結晶シリコン層を形成する。次に、この多結晶シリコン層上にレジストを塗布し、フォトリソグラフィ工程によりシリコン針状錐体22の上方領域以外のレジストを除去する。図4（e）参照。

#### 【0034】

（f）上記（e）で形成したレジストをマスクとして多結晶シリコン層をエッチング（例えばドライエッチング）する。その後、残った多結晶シリコン層と、シリコン針状錐体22の側方に残されている薄膜単結晶シリコン層のソース領域20s及びドレイン領域20dに、不純物としてリン（P）を導入する。これにより、多結晶シリコンからなるゲート電極30、単結晶シリコンからなるソース及びドレイン領域20s、20dの導電性を十分高めることができる。図4（f）参照。

#### 【0035】

（g）不純物導入後、これらゲート電極30、ソース領域20s及びドレイン領域20dの全面を覆うように、プラズマCVDにより800nm程度の膜厚の酸化膜32を堆積する。図4（g）参照。

#### 【0036】

（h）次に、ソース領域20s、ドレイン領域20d及びゲート電極30に所望の信号を印加する端子を形成するため、酸化膜32の対応する位置をドライエッチング等によりエッチングしてコンタクトホールを形成する。その後、アルミニウムをスパッタリングし、フォトリソグラフィにより配線パターン領域にレジストを形成し、ドライエッチングにより配線を形成する。これにより、ソース領域20sにはコンタクトホールを介してソース端子30sが接続され、ドレイン領域20dにはドレイン端子30dが接続され、ゲート電極30にはゲート端子

30gが接続される。

#### 【0037】

このようにして得られる本実施形態1-1に係る単電子トランジスタにおいて、ソース領域20s、ドレイン領域20d、及びゲート電極30によってシリコン針状錐体22の形成領域付近での電界を制御する。これにより、シリコン針状錐体22を量子ドットとして機能させ、電子のソースドレイン間に存在する微小トンネル接合のトンネリングをブロックードし、またブロックードを解除することで、単電子効果を発現させることができる。

#### 【0038】

例えば、図2に示すように、ソース・ドレイン領域間に複数のシリコン針状錐体22を形成し、ソース・ドレイン領域間に複数の量子ドットと複数の微小トンネル接合を形成する場合に、いずれの微小トンネル接合でも電子のトンネルをブロックードする条件となるように印加電圧を制御することで、（特にゲート端子、ドレイン端子間）ソース・ドレイン領域間での1個又は少数個の電子の伝搬が禁止される。また、全ての微小トンネル接合でクローンブロックードが解除される条件とすれば、ソース・ドレイン領域間を1個又は少数個の電子を伝搬させることができること。

#### 【0039】

ソース・ドレイン領域間に形成されているシリコン針状錐体22は、互いに電子がトンネルできる程度に近接していればその個数は特に限定されない。また、シリコン針状錐体22は、互いにトンネル可能な程度近接していれば、格子状に整然と並んでいても良く、また、図2（b）のようにランダムに配置されていてもよい。また反対に、図4（h）のように、ソースドレイン間、つまり電流が流れる方向に沿って、複数のシリコン針状錐体22が一列に並んでいても良い。さらに、ソース領域とドレイン領域との間に单一のシリコン針状錐体22が形成されている場合にも、ソース・ドレインに対しシリコン針状錐体22が十分近接していれば单電子効果を発現することが可能である。

#### 【0040】

更に、ゲート電極30は多結晶シリコンに限らず、アルミニウムなどの金属材

料であっても構わない。

#### 【0041】

本発明のシリコン針状錐体22は、例えば単結晶シリコン中にイオン注入及び熱処理によって導入した酸素析出物( $\text{SiO}_2$ )をマイクロマスクとして形成することができるため、フォトリソグラフィによって形成可能なマスクよりも十分に小さなマスクが得られ、高選択比異方性エッティングにより、非常に急峻で先の尖った量子ドットとして機能しうる大きさのシリコン針状錐体22を作成することができる。また、高選択比異方性エッティングの条件が同じであれば、複数の不純物析出領域をそれぞれマイクロマスクとした場合に、得られる複数のシリコン針状錐体は、その底角が同一基板上で一定で、各錐体は相似形状となる。そこで、不純物析出領域の平面位置及び深さ位置が所定位置となるように該領域を形成することで、シリコン基板又はシリコン層中の所定位置に、鋭くかつ同じ形状・大きさの複数のシリコン針状錐体22を形成できる。また、シリコン針状錐体22の形成密度は、薄膜単結晶シリコン層20に注入する酸素量を調整することで制御できる。

#### 【0042】

以上の説明では、複数のシリコン針状錐体22を共通のゲート電極30によって制御しているが、ゲート電極は各シリコン針状錐体22に対応した個別電極によって構成してもよい。例えば、図5(a)に示すように、ソース・ドレイン領域間に形成された複数のシリコン針状錐体22の上方に間に酸化膜( $\text{SiO}_2$ )を挟んでそれぞれ個別ゲート電極31を形成して单電子トランジスタを構成してもよい。なお、上記実施形態1-1と同様に、各シリコン針状錐体22は、ソース・ドレイン領域20s、20d間で量子ドットとして機能するため、シリコン針状錐体22は、近接する錐体同士で電子のトンネリングが可能な程度接近して形成されている必要がある。また、このシリコン針状錐体22は、上記図2(b)のようにソース・ドレイン領域20s、20d間にランダムに配置されていても良いし、図5(b)の平面図に示すように、一直線状に並べて配置されていても良い。また、図5(c)のようにソース・ドレイン領域20s、20d間に複数列が整然と配置されていても良い。いずれの配置例においても、各シリコン針

状錐体22に対応して個別ゲート電極31が形成されているため、個別ゲート電極31を順次制御していくことで、例えばソース領域20sに最も近いシリコン針状錐体22からドレイン領域20d側にある隣のシリコン針状錐体22に電子をトンネリングさせていくことができる。また、複数のシリコン針状錐体22を図2(b)や、図5(c)に示すように2次元的に配置した場合には、ソース・ドレイン領域20s、20d間において、量子ドットとして機能させるシリコン針状錐体22を任意に選択することができる。従って、電子の伝搬経路を任意に設定できる(図5(c)の点線矢印参照)。なお、個別ゲート電極31は、図5(a)～(c)に示すように、一対一でシリコン針状錐体22と対応するように形成されていてもよいが、1つの個別ゲート電極31を2以上の所定数以下のシリコン針状錐体22に対応させ、複数の個別ゲート電極31が分担してソース・ドレイン領域間でのクーロンブロッケードを制御する構成としてもよい。

#### 【0043】

#### 【実施形態1-2】

図6は、実施形態1-2に係る単電子トランジスタの概略構成を示している。また、図6において、点線5A-5Aで示した位置での平面構成は、上記図2(b)と同様である。上記実施形態1-1と異なる点は、ソース領域20sとドレイン領域20dとの間の電子伝搬経路における電位制御用電極としてのゲート電極をシリコン基板10中に形成したことである。このゲート電極は、埋め込み酸化膜下のシリコン基板10のシリコン針状錐体直下領域に、高濃度の不純物を注入して形成した層34を用いる。この高濃度不純物注入層34は、砒素やリンのドナー不純物、又はボロンなどのアクセプタ不純物のいずれを注入して形成した層でもよく、ゲート電極として十分な低い抵抗となることと、この高濃度不純物注入層34とアルミニウム等を用いた配線と間の特性がオーミックになるという条件を満たせばよい。

#### 【0044】

本実施形態1-2の素子は、実施形態1-1より素子占有面積が大きくなるが、シリコン針状錐体22が多少大きくても、量子ドットとして使用することが容易となる。つまり、シリコン針状錐体22全体としては量子ドットとは言えない

ほど大きく、例えば底部付近の半径が30nm以上であっても、ゲート電極である高濃度不純物層34に電圧を印加することで、シリコン針状錐体22は、その底部から空乏化し、十分に細いシリコン針状錐体22の先端部（5nm～10nm）に電子を閉じ込めることができ、シリコン針状錐体22の先端部が量子ドットとして機能する。このような本実施形態1-2の素子は、実施形態1-1と比較して製造が容易である。一方で、実施形態1-1より素子の占有面積が大きくなる。なお、図5に示す単電子トランジスタと同様、各シリコン針状錐体22（又はシリコン針状錐体22所定数毎）に対し、それぞれ独立したゲート電極が対応するよう不純物注入層34を形成してもよい。

#### 【0045】

##### 【実施形態2-1】

図7は実施形態2-1に係る単電子トランジスタの構成を示している。図7(a)は単電子トランジスタの断面構成、図7(b)は、図7(a)に点線6A-6Aで示した位置での平面構成を表している。シリコン針状錐体を電子伝搬経路に用いる点で上述の実施形態と一致するが、本実施形態2-1では、1つのシリコン針状錐体中に量子ドットと微小トンネル接合とを構成し、縦方向つまりシリコン針状錐体の高さ方向を電子伝搬方向とする。そして、図7の例では、1つのシリコン針状錐体内をチャネルとし、シリコン針状錐体の底領域をソース領域、先端をドレイン領域、周囲をゲート電極とした3端子素子である。

#### 【0046】

シリコン針状錐体22は、上記実施形態1-1で説明した方法と同じ原理によりシリコン基板10を高選択比異方性エッチングして得るが、本実施形態2-1では、基板10としてn型導電性のシリコン基板を用いている。但し、シリコン針状錐体22が形成される基板10の表面領域のみがn型になるようリンなどの不純物が導入されている基板でもよい。

#### 【0047】

シリコン針状錐体22の側壁には熱酸化膜24が形成され、この酸化膜24を介して該錐体22の下部領域が埋没するように基板10上には多結晶シリコンからなるゲート電極40が形成されている。また、ゲート電極40から突出した

シリコン針状錐体22の先端上方には、間に酸化膜50を挟んで多結晶シリコンからなるドレイン領域44が形成されている。シリコン針状錐体22の下部領域はソース領域46となっている。

#### 【0048】

このような構成において、ゲート電極40に負電圧を印加していくと、シリコン針状錐体22は、その側面から内側に向かって空乏化が進み、錐体22の芯部分にn型の量子細線が形成されていく。本実施形態2-1で用いるシリコン針状錐体22は、その先端領域以外は半径が10nm以上のサイズである場合が多いが、錐体周囲からのゲート電極40による電界制御により、錐体22に数ナノメートルオーダの量子細線が得られる。従って、量子細線が形成された時のゲート電圧よりもさらに低い（負）ゲート電圧を印加すると、図24に見られるような单電子効果、つまり量子細線領域で電子のクーロンブロックが起こる。

#### 【0049】

ここで、シリコン針状錐体22の先端部と、ドレイン端子48dに接続されたドレイン領域44との間には、熱酸化膜24及び酸化膜50が形成されているが、シリコン針状錐体22は、その先端半径が5nm程度であり、非常に高い電界が印加されるこの領域では容易に絶縁破壊が起きる。従って、この錐体先端付近の絶縁破壊により、シリコン針状錐体22の先端部と、ドレイン領域44との間で電気伝導が確保される。

#### 【0050】

以下に、本実施形態2-1の单電子トランジスタの製造方法について図8及び図9を参照して説明する。

#### 【0051】

(a) 少なくとも表面から $3\mu m$ より深い位置までがn型導電性を示すシリコン基板10の所定位置に上述の図1の原理に基づき、不純物として酸素を導入し、熱処理して酸素析出物を形成し、マイクロマスクを得る。次に、基板10を高選択比異方性エッティングすることでマイクロマスクを頂点としたn型導電性のシリコン針状錐体22を形成する。その後、熱処理を行うことでシリコン針状錐体22の表面及びシリコン基板10のエッティング露出面を熱酸化させ、20nm程

度の熱酸化膜24を形成する。シリコン基板10から突出するシリコン針状錐体22の高さは、特に制限はないが、本実施形態2-1では3μm程度である。図8(a)参照。

#### 【0052】

(b) 減圧CVD法により、表面が熱酸化されたシリコン基板10及びシリコン針状錐体22を覆うように50nm程度の膜厚の多結晶シリコン層41を形成する。図8(b)参照。

#### 【0053】

(c) 多結晶シリコン層41上にレジストを塗布し、電子線リソグラフィを用いて露光し、ゲート電極を形成すべき領域以外の位置のレジストを除去する。ここで、多結晶シリコン層41は膜厚50nmであり、これがシリコン針状錐体を覆うように形成されているため、シリコン針状錐体部(シリコン針状錐体とその側壁に堆積した多結晶シリコン層)の直径は、100nm程度になる。そして、電子線リソグラフィでこの直径100nm程度の領域をトレースし、該領域の外周に選択的にレジストが残るようにレジスト加工する。図8(c)参照。

#### 【0054】

(d) パターニングした上記レジストをマスクとし、酸化膜24より多結晶シリコンのほうがエッティングされやすい条件でドライエッティングを行う。このエッティングにより、シリコン基板の平面上ではレジストに覆われていない多結晶シリコン層41が除去される。また、シリコン針状錐体22の形成領域もレジストに覆われていないので多結晶シリコン層41がエッティングされていく。しかし、図7(c)中、B-B線の位置よりA-A線の位置のほうが、サイドウォール効果により、垂直方向で多結晶シリコン層41が厚い。従って、エッティング時間をコントロールすることにより、シリコン針状錐体22の先端部を覆っていた多結晶シリコン層41を選択的にエッティング除去し、錐体22の周囲には多結晶シリコン層41を残すことができる。このようなエッティングにより、シリコン針状錐体22の下部領域を取り囲んで埋め込むように多結晶シリコンからなるゲート電極40が形成される。図8(d)参照。

## 【0055】

(e) プラズマCVD法により20nm程度のCVDシリコン酸化膜50を形成し、この酸化膜50によって、ゲート電極40、ゲート電極40から突出しているシリコン針状錐体22の先端、基板表面（酸化膜24）を覆う。図9（e）参照。

## 【0056】

(f) 酸化膜50形成後、その上に再び減圧CVD法を用いて膜厚50nm程度の多結晶シリコン層を堆積する。次に、この多結晶シリコン層をドライエッチングによって、そのシリコン針状錐体22の先端対応領域が残るようなパターニングする。これにより、シリコン針状錐体22の先端対応領域には多結晶シリコンからなるドレイン領域44が形成される。図9（f）参照。

## 【0057】

(g) ドレイン領域44形成後、ドレイン領域44を含む全面にプラズマCVD法を用いて20nm程度のシリコン酸化膜52を成膜する。図9（g）参照。

## 【0058】

(h) 酸化膜52形成後、ソース領域46との接続、ゲート電極40との接続及びドレイン領域44との接続のため、それぞれの表面が露出するようにドライエッチングを施し、必要な位置にそれぞれコンタクトホールを形成する。次に、アルミニウムをスパッタリングし、アルミ層をドライエッチングによりパターニングし、ソース端子48s、ドレイン端子48d、ゲート端子48gを形成する。

## 【0059】

以上のようにして得られる本実施形態2-1の単電子トランジスタは、シリコン針状錐体22の底面部分における断面サイズが直径100nm程度の場合でも、ゲート電圧として負の高電圧を印加することにより、単電子効果を発現できるほどにシリコン針状錐体22の芯部分に電子を閉じ込めることができる。従って、シリコン針状錐体22を量子細線として機能させる単電子トランジスタを実現できる。また、本実施形態2-1の構成は、シリコン針状錐体22の高さ方向（

縦方向)に電流を流す单電子トランジスタとなるため、基板の平面方向に量子細線を形成する素子と比較すると、集積化が容易であるというメリットがある。

### 【0060】

#### 【実施形態2-2】

図10は、実施形態2-2に係る单電子トランジスタの構成を示している。上記実施形態2-1と、シリコン針状錐体22の底部と針先端との間に電流を流す構成は同じであるが、本実施形態2-2では、針先端部の周囲にのみ多結晶シリコンを用いたゲート電極60を形成している。また、本実施形態2-2では、ゲート電極60の形成位置を錐体先端部付近するために、表面が熱酸化されたシリコン基板10上にシリコン針状錐体22をその先端付近まで埋めるような厚い酸化膜(例えばCVDシリコン酸化膜)54を形成している。そして、この酸化膜54からさらに突出しているシリコン針状錐体22の先端周囲に多結晶シリコンからなるゲート電極60を形成している。ゲート電極60は、酸化膜(例えばCVDシリコン酸化膜)56によって覆われ、この酸化膜56上のシリコン針状錐体22の先端上方領域を覆うようにドレイン領域45が形成されている。なお、本実施形態2-2では、ドレイン領域45はドレイン端子を兼用しており、材料としてアルミニウムを採用しているが、実施形態2-1のように多結晶シリコンを用いてもよい。ゲート電極60には酸化膜56に形成されたコンタクトホールを介してアルミニウムのゲート端子48gが接続され、シリコン基板10内のソース領域46は、熱酸化膜24、酸化膜54及び56に形成されたコンタクトホールを介してアルミニウムのソース端子48sに接続されている。

### 【0061】

本発明に係る不純物析出領域をマイクロマスクとして形成されるシリコン針状錐体22は、その先端部が半径2~5nm程度の大きさであり、空乏化させなくとも量子細線として機能し得る。

### 【0062】

従って、本実施形態2-2のように、ゲート電極60を錐体22の先端付近に形成する構成とすれば、わざわざシリコン針状錐体22を空乏化させるためのバイアス電圧が不要であるからゲート電圧の範囲によらず(印加しうるゲート電圧

全域で)、单電子効果を発現させることができる。但し、ゲート電極60をシリコン針状錐体22の先端近傍に確実に形成すること、このゲート電極60上にCVDシリコン酸化膜56を挟んで形成されるドレイン領域45と、ゲート電極60とが短絡しないようにする必要がある。

#### 【0063】

#### 【実施形態2-3】

図11は、実施形態2-3に係る单電子トランジスタの構造を示している。この実施形態2-3では、单電子トランジスタのシリコン針状錐体23の構造が上記実施形態2-2のシリコン針状錐体22と異なり、他は図10の構造と共通する。このシリコン針状錐体23は、錐台形状で、その先端上面が錐体底部に向かってすり鉢状にエッティングされ、針先端が環形状となっている。

#### 【0064】

このような先端にすり鉢状領域を備えるシリコン針状錐体23は、例えば、図12に示すような方法によって形成することができる。

#### 【0065】

まず、シリコン基板10（又は基板上の単結晶シリコン膜）中に不純物を導入し熱処理して不純物析出領域を形成し、この領域をマイクロマスクとして高選択比異方性エッティングを行う（図12（a）参照）。マイクロマスクを頂点として所定高さのシリコン針状錐体23が形成されたところで、エッティング条件を低選択比に変更し、図12（b）に示すようにマイクロマスクを除去し、シリコン針状錐体の上面を露出させる。なお、シリコン針状錐体23の側壁は高選択比異方性エッティングの際に形成された側壁保護膜に覆われていてこの低異方性エッティングの際にもエッティングが進み難く、錐体形状が維持される。一方、この低選択比エッティングにより、基板10の表面はエッティングされ、シリコン針状錐体23の高さがその分増す。

#### 【0066】

針状錐体23の上面が露出したところでエッティング条件を再び高選択比異方性エッティングに変更する。これにより、露出したシリコン針状錐体23の上面が、側壁保護膜のない中央付近から優先的にエッティングされ、図12（c）に示すよ

うに、すり鉢状部分（底角80°程度、アスペクト比10程度）が針状錐体23の先端に形成され、環状の先端構造が得られる。なお、高選択異方性エッチングの際、シリコン針状錐体23と同様に、すり鉢状部分はその側壁を覆う保護膜によりその形状が維持される。

#### 【0067】

以上のような方法を用いて形成されるシリコン針状錐体23の大きさ、底角、アスペクト比、底部及び先端の曲率半径は、上述の各実施形態のシリコン針状錐体22と同等であり、先端上面のすり鉢形状は、シリコン針状錐体23と概ね相似形であって、上面での直径に対する深さを表すアスペクト比は錐体23と同等の10程度、底角も80°程度である。例えばシリコン針状錐体23の上面直径が数nm～30nm程度の場合に、上面に形成されるすり鉢状部分の直径は、針状錐体上面直径より例えば2nm～4nm程度小さくできる。これにより、針状錐体先端に残される環状部は、1nm～2nm程度の肉厚さ（幅）となる。よって、シリコン針状錐体23のすり鉢状部分は、1nm～2nm程度の微小領域となり、錐体23の先端は、より確実に量子ドットとして機能でき、シリコン針状錐体23の底部と針先との間に電流が縦方向に流れ、室温でも明瞭な量子効果を示す単電子トランジスタが得られる。

#### 【0068】

##### 【実施形態3-1】

次に、本発明の実施形態3-1について説明する。

#### 【0069】

図13は、実施形態3-1に係る単電子トランジスタの構成を示している。なお、図13(a)は、この実施形態の単電子トランジスタの断面の一部を示し、図13(b)は、図13(a)の点線12A-12Aの位置における平面構成を示している。

#### 【0070】

本実施形態3-1では、単電子トランジスタとして上述の実施形態と同様にシリコン針状錐体を利用するが、上述の実施形態のようにシリコン針状錐体を単電子効果を発現する電子伝搬経路とするのではなく、シリコン針状錐体の周囲の伝

導材料層を量子ドット及び微小トンネル接合として機能させ单電子効果を得る。

### 【0071】

シリコン基板10（単結晶シリコン膜でもよい）上に突出形成されたシリコン針状錐体22は、上述の各実施形態において説明した錐体22と同一の原理によって形成されるものである。そして、本実施形態3-1では、このシリコン針状錐体22は、その底部が多結晶シリコンからなる伝導材料層で埋められており、平面的には、図13（b）に示すように複数のシリコン針状錐体22が伝導材料層70をその幅方向に分断するように近接して一列に並べて配置されている。また、一列のシリコン針状錐体22の上方には酸化膜24を介して該錐体22の配列方向に沿って電位制御用電極であるゲート電極82が形成されている。

### 【0072】

次に、図13に示す单電子トランジスタの製造方法の一例について図14及び図15を参照して説明する。

### 【0073】

(a) まず、シリコン針状錐体22をシリコン基板10上に作成する。なお、一列に並ぶようにシリコン針状錐体22を形成するためには、シリコン針状錐体の並ぶ方向に沿って、幅の狭い開口部を不純物導入用レジストマスクに形成し、不純物を導入し、これを熱処理して不純物析出領域を形成することでマイクロマスクを作成すればよい。また、複数のシリコン針状錐体22を互いに近接して形成するためには、不純物としての酸素のイオン注入を高いドーズ量で行い、これを熱処理して酸素析出核を高密度に形成すればよい。後は、基板10を高選択比異方性エッチングすることで、得られた酸素析出核をマイクロマスクとして一方に複数並んだシリコン針状錐体22を得ることができる。シリコン針状錐体22を形成した後、次に熱酸化処理を行い、錐体22の表面に20nm程度の厚さの酸化膜24を形成する。図14（a）参照。

### 【0074】

(b) 酸化膜24形成後、減圧CVD法により基板全体に10nm程度の厚さに多結晶シリコンを堆積する。図14（b）参照。

## 【0075】

(c) 複数並んだシリコン針状錐体22の周囲にレジストが残るようにフォトリソグラフィ加工を行う。図14(c)参照。

## 【0076】

(d) 上記レジストをマスクとして、シリコン酸化膜より多結晶シリコンに対してエッチングが進みやすい条件でドライエッチングを行う。これにより、多結晶シリコンのレジストに覆われない部分が除去され、複数並んだシリコン針状錐体22が境となってソース領域70sとドレイン領域70dとが形成された多結晶シリコンの伝導材料層70が得られる。図14(d)参照。

## 【0077】

(e) 伝導材料層70をパターニングしたのちレジストを除去し、次に、熱酸化を行って伝導材料層70を構成する多結晶シリコンを20nm程度酸化させ、表面に酸化膜72を形成する。図14(e)参照。

## 【0078】

(f) 次に、減圧CVD法により上記酸化膜72及びこの酸化膜72から突出するシリコン針状錐体22先端を覆うように、多結晶シリコン膜80を30nm堆積する。さらにこの多結晶シリコン膜80に不純物として例えればリンを導入し（導入濃度は $10^{20} \text{ cm}^{-3}$ 程度）、多結晶シリコン膜80を良導電体層とする。

図15(f)参照。

## 【0079】

(g) 多結晶シリコン膜80上のシリコン針状錐体形成領域に選択的にレジストが残るようにフォトリソグラフィ加工を行う。図15(g)参照。

## 【0080】

(h) 上記(g)においてパターニングしたレジストをマスクとして多結晶シリコン膜80をドライエッチングすることで、シリコン針状錐体22の先端部分を覆うように不純物のドープされた多結晶シリコン膜からなるゲート電極82を得る。また、多結晶シリコン膜80パターニング後、マスクとなったレジストを除去する。図15(h)参照。

## 【0081】

(i) 上記(h)においてレジストを除去した後、絶縁膜として、プラズマCVD法により基板全面を覆うように酸化膜(CVD酸化膜)84を800nm程度の厚さに堆積する。図15(i)参照。

## 【0082】

(j) 次に、ソース領域70s及びドレン領域70dの一部を露出させるよう酸化膜24及び84、ゲート電極82の一部が露出するよう酸化膜84をエッティングし、対応する端子との接続のためのコンタクトホールを形成する。その後、アルミニウムをスパッタ後、レジスト塗布、コンタクトホール付近及び所定配線領域を残すようレジストを露光し、アルミニウムをドライエッティングする。これにより、図15(j)に示すようにソース領域70sと接続されたアルミニウムからなるソース端子86s、ドレン領域70dと接続されたアルミニウムからなるドレン端子86d、ゲート電極82と接続された同じくアルミニウムからなるゲート端子86gを形成する。

## 【0083】

以上(a)～(j)の工程により図13に示す単電子トランジスタを形成することができる。この図13に示す単電子トランジスタにおいて、電流は、伝導材料層70のソース領域70sからドレン領域70dに流れるが、伝導材料層70の幅方向に一列に近接して並んだシリコン針状錐体群がこの電流経路を妨げるような配置となっている。従って、電子はシリコン針状錐体群の間を通過せざるを得ない。本発明に係るシリコン針状錐体22は、底角80°程度で、アスペクト比にして10程度が達成できるため、nmオーダーの間隔で互いに近接して形成でき、非常に広い領域を電子が流れているときはほとんど伝導の妨げにならなかった不純物トラップなどがこの錐体22間で電子伝導に影響する。

## 【0084】

従って、シリコン針状錐体22の間にある伝導材料層70内に形成される伝導領域において、電子が存在しやすいところが量子ドットとなり、電子が存在しにくいところが微小トンネル接合として機能する。言い換えると、ソースドレン領域間であって、複数の並んだシリコン針状錐体22の間の伝導材料層70中に

量子細線領域が形成される。

#### 【0085】

そこで、シリコン針状錐体22の上方に形成した電位制御用のゲート電極82を用いてソースドレイン領域間に印加するゲート電圧を制御することで、ソースドレイン領域間での電子のクーロンブロッケードとトンネリングとが制御され、単電子効果が発現する。

#### 【0086】

なお、上記説明においてソース領域70s、ドレイン領域70d、及びゲート電極82の材料としては多結晶シリコンを利用しているが、それぞれ金属材料を用いてもよい。

#### 【0087】

また、以上の説明では、複数のシリコン針状錐体22を伝導材料層70の幅方向に一列に並べた構成について説明したが、図16(a)に示すように、单一のシリコン針状錐体22によって十分幅の狭い伝導材料層70の電子伝搬経路を遮って量子効果を発現させることもできる。この場合、シリコン針状錐体22から伝導材料層70の端70Eまでの距離がnmオーダ程度となるように錐体22及び伝導材料層70を形成することにより、錐体22と端部70Eとの間の微小な領域を量子ドット及び微小トンネル接合として機能させることができ、ゲート電極82による電圧制御によりこのクーロンブロッケードが制御でき单電子効果が発現する。

#### 【0088】

また、図16(b)のように、シリコン針状錐体22を一列に並べるのではなく、一群の複数のシリコン針状錐体22を密接して形成した構成も採用可能である。錐体間に量子細線領域が形成可能な程度に、互いが近接していれば、一群のシリコン針状錐体22は格子状に整然と配置されていても、整然と配置されていなくても良い。図16(b)の構成では、複数のシリコン針状錐体22の間の狭い伝導材料層70中を電流が流れることとなり、このシリコン針状錐体22の間の伝導材料層70中に量子ドット及び微小トンネル接合が形成され、ゲート電圧による制御によって单電子効果を発現させることができる。なお、図16(a)

及び(b)は、上記図13の点線12A-12Aに相当する位置での平面構成であり、図示しない他の構成については上述の図13~図15に示す構成と同一である。

## 【0089】

## 【実施形態3-2】

図17は、実施形態3-2に係る単電子トランジスタの構成を示している。なお、図17(a)は、単電子トランジスタの断面構成、図17(b)は(a)の点線16A-16Aの位置の平面構成を示している。

## 【0090】

上記実施形態3-1と本実施形態3-2とで相違する点はゲート電極であり、具体的には、シリコン針状錐体22群の形成領域上方にゲート電極82である多結晶シリコン膜を形成しているが、本実施形態3-2では、シリコン針状錐体22そのものをゲート電極90として利用する。他の構成は実施形態3-1と共通し、伝導材料層70を一列に並べた複数のシリコン針状錐体22によってソース領域70sとドレイン領域70dとに分けられ、シリコン針状錐体22間の伝導材料層を量子細線として用いる。

## 【0091】

この実施形態3-2では、シリコン基板10としてn型導電性の基板を用い(但し、基板の錐体形成表面領域にn型導電性不純物をドープした基板でも良い)、この基板10にゲート電極90を兼用する複数のシリコン針状錐体22を形成する。酸化膜84まで形成した後、他の端子86s、86dの形成と共に、酸化膜84及び24を貫通するようにコンタクトホールを形成し、基板10(ゲート電極90)と接続するためのゲート端子(アルミニウム)86gを形成する。なお、シリコン基板10のシリコン針状錐体22を含む表面領域のみをn型導電性とするには、上述の原理を用いてシリコン基板10上にシリコン針状錐体22を形成した後、トランジスタ形成領域にリンなどの不純物を導入すればよい。

## 【0092】

このような構成の単電子トランジスタは、電流経路を横切るように一列に近接して並んだシリコン針状錐体22の間の伝導材料層70中に量子細線領域が構成

されるので、量子細線領域の電位をゲート端子86gを介して印加するゲート電圧によって制御することで、該量子細線領域での電子のクーロンブロックードを制御でき、単電子効果を発現する。

#### 【0093】

本実施形態3-2の単電子トランジスタでは、上記実施形態3-1と比較して、ゲート電極80としての多結晶シリコンの堆積、パターニング工程が不要となるため、素子製造コストを低減できる。一方で、実施形態3-1より素子占有面積が増加することになる。また、本実施形態3-2では、シリコン針状錐体22からゲート端子86gまでの間に、pn接合が形成されないようにすることが必要である。pn接合が形成されるとゲート端子86gを介してシリコン針状錐体22の間の伝導領域に対する電界効果の制御性が悪くなるからである。

#### 【0094】

なお、本実施形態3-2では、上述の図16(a)のように、单一のシリコン針状錐体22により、伝導材料層70の端部70Eとの間に量子細線領域を形成する構成も採用可能である。また、図16(b)のように複数の一群のシリコン針状錐体22を近接して形成することで、互いの錐体22間を量子細線領域とした構成を採用することも可能である。

#### 【0095】

##### 【実施形態3-3】

図18は実施形態3-3に係る単電子トランジスタの構造を示している。なお、図18(a)は、単電子トランジスタの断面構成を示し、図18(b)は(a)の点線17A-17Aの位置における平面構成を示している。

#### 【0096】

上記実施形態3-1及び実施形態3-2では、1列に並んだシリコン針状錐体22の間を通るように、つまりシリコン針状錐体22の並んだ方向と電子の移動方向とがほぼ直交するよう構成されているのに対し、本実施形態3-3の単電子トランジスタは、電子の移動方向とほぼ平行にシリコン針状錐体22が一列に並んでいる。

## 【0097】

実施形態3-3に係る单電子トランジスタでは、2本のシリコン針状錐体22の間の伝導材料層70が量子ドットとして機能し、シリコン針状錐体22の存在により伝導材料層70の端70Eとの間の電流経路が狭くなっている領域が微小トンネル接合として機能する。そこで、これらの形成領域上に配置されたゲート電極83によって印加するゲート電圧を制御することで单電子効果を発現させることができる。

## 【0098】

素子の製造方法は、上記実施形態3-1とほぼ同じであるが、図18では、2本のシリコン針状錐体22を伝導材料層70の延びる方向（伝導材料層の端に沿った方向）と平行に、一列に並ぶよう形成する。また、多結晶シリコンからなる伝導材料層70をシリコン針状錐体22をその先端付近まで埋めるように厚く形成している（例えば錐体22の高さ十数nmに対し、伝導材料層70の厚さ10nm程度）。これは、図18(a)のようにシリコン針状錐体22を非常に近接して形成した場合にも、錐体の周囲を埋めるように形成する伝導材料層70を十分厚くすることで、2つのシリコン針状錐体22の間に伝導材料層を形成することを確実とするためである。但し、必ずしも、伝導材料層70を図18のように厚く形成する必要はなく、上述の図13(a)に示すような断面構造であってもよい。また、上述の図17(a)のようにシリコン針状錐体がゲート電極を兼用する構成でもよい。形成された伝導材料層70の表面は熱酸化により酸化膜72に覆われ、多結晶シリコンからなるゲート電極83をこの酸化膜72上に形成し、伝導材料層70から突出したシリコン針状錐体22の先端付近がこのゲート電極83に覆われている。

## 【0099】

## 【実施形態3-4】

図19は、実施形態3-4に係る单電子トランジスタの構成、具体的には上述の図18(a)の点線17A-17Aに相当する位置での平面構成を表している。本実施形態3-4の特徴は、上記実施形態3-3において電流経路方向に一列に並べたシリコン針状錐体22の本数を3以上とした事である。図19の例では

電流経路の方向（伝導材料層70の端70Eの延びる方向に一致）に4本のシリコン針状錐体22を一列に並べている。なお、他の構成は、上記実施形態3-3と同一である。

#### 【0100】

図19に示すように3以上のシリコン針状錐体22を電流経路方向に沿って並べることで、各シリコン針状錐体22の間に構成される量子ドットがソース領域70sとドレイン領域70dとの間で複数存在することとなる。ここで、ソース・ドレイン間を伝搬する電子は、この複数の量子ドットをかならず伝導するため、本実施形態3-4の構成であれば、量子ドットが1つであるなどの場合にみられた協調トンネリングを防止することができる。協調トンネリングとは、クロンブロックードにとって漏れ電流であり、2つの微小トンネル接合を電子が同時にトンネルする現象のことである。

#### 【0101】

従って、この協調トンネリングを防止することで、上記実施形態3-1から実施形態3-3に示す構成の単電子トランジスタよりも（但し、図16（b）の構成は除く）、はるかに単電子効果が顕著になる。なお、量子ドット2つの場合にも協調トンネリングが起こることがあるため、量子ドットが3以上となるようにシリコン針状錐体22を並べることがより好ましい。

#### 【0102】

また、実施形態3-1において説明した図16（b）のようなシリコン針状錐体22の配置を採用した場合にも、複数の量子ドットがソースドレイン間に存在するため、協調トンネリング防止効果が得られ、単電子効果が顕著となる。

#### 【0103】

##### 〔実施形態4-1〕

図20は、実施形態4-1に係る単電子トランジスタの構造を示している。なお、図20（a）は単電子トランジスタの断面構成を示し、図20（b）は（a）の点線19A-19Aの位置における平面構成を示している。

#### 【0104】

本実施形態4-1に係る単電子トランジスタは、2本のシリコン針状錐体22

が伝導材料層70中の電流経路方向と平行に並んでいる点で上述の実施形態3-3や実施形態3-4と共通するが、複数形成されたシリコン針状錐体22に電圧を印加し、伝導材料層70のシリコン針状錐体22の周囲領域を電界効果によつて空乏化させる点が相違する。

#### 【0105】

伝導材料層70としては、上述の実施形態3-3と同様に例えば多結晶シリコンを用いる。シリコン基板10としては、少なくともそのシリコン針状錐体22の形成領域がn型導電性を示すn型基板を用いる。このn型シリコン基板10には、コンタクトホールを介してアルミニウムからなる空乏層形成用端子86<sub>DE</sub>を接続し、この空乏層形成用端子86<sub>DE</sub>によって、シリコン針状錐体22から周囲の伝導材料層70に電圧を印加する。シリコン針状錐体22からの電圧印加により、シリコン針状錐体22の周囲には、錐体22と同心円状の空乏層71が形成される。そして2つシリコン針状錐体22に対応した2つの空乏層71が重なつて図20(b)で点線にて示す空乏層端71d eと、伝導材料層70の端70Eとの間の広くなった位置での伝導材料層70が量子ドットとして機能する。また、伝導材料層70中、空乏層端71d eが伝導材料層70の端70Eと接したところが微小トンネル接合として機能する。

#### 【0106】

この単電子トランジスタにおいては、空乏層形成用端子86<sub>DE</sub>を用いてシリコン針状錐体22から伝導材料層70に電圧を印加し、伝導材料層70中に空乏層71を形成し、ソース領域70sとドレイン領域70dとの間の電流経路(電子伝搬経路)を空乏層端71d eから伝導材料層の端70Eの間に制限することで、量子ドット及び微小トンネル接合を形成する。そして、空乏層71を形成した状態でシリコン針状錐体22の先端部上方に形成されたゲート電極83によって伝導材料層70にゲート電圧を印加することで、上記量子ドット及び微小トンネル接合での単電子効果を発現させる。

#### 【0107】

本実施形態4-1の構成は、上記実施形態3-3と比較すると、伝導材料層70のパターン幅(図20(b)では縦方向)が広くても、空乏化させることでソ

ース・ドレイン領域間での電子のクーロンブロックードを制御できる。従って、素子の製造が容易である。但し、本実施形態4-1では、伝導材料層70を空乏化させる必要があるため、その材料として金属など、電子が非常に多い材料は適さず、多結晶シリコン又は単結晶シリコンなどの半導体が好適である。

#### 【0108】

#### 【実施形態4-2】

図21及び図22は、実施形態4-2に係る单電子トランジスタ構成、具体的には、図21及び図22は、上記実施形態4-1の図20(a)の点線19A-19A相当位置での单電子トランジスタの平面構成を表している。本実施形態4-2は、シリコン針状錐体22の周囲の伝導材料層70を空乏化することでソース・ドレイン領域70s、70dの間に量子ドット及び微小トンネル接合を形成する点で上記実施形態4-1と共に通するが、電流経路方向に配置するシリコン針状錐体22の数が上記実施形態4-1と異なる。

#### 【0109】

まず、図21に示す構成の单電子トランジスタでは、单一のシリコン針状錐体22をソース領域70sとドレイン領域70dとの間に設け、実施形態4-1と同様に空乏層形成用端子86<sub>DE</sub>を介してシリコン針状錐体22から伝導材料層70に電圧を印加して空乏層71を形成する。空乏層端71d eと伝導材料層70の端70Eとの間がnmオーダの距離となれば、この領域は量子細線領域として機能させることができ、量子細線領域中に量子ドット及び微小トンネル接合が形成され、図20(a)に示すようにシリコン針状錐体22の上方からゲート電極83によって印加するゲート電圧による制御に応じて、ソース領域70sとドレイン領域70dとの間の電子伝搬に量子効果が発現する。

#### 【0110】

次に、図22に示す单電子トランジスタでは、上記実施形態4-1において電流経路方向に2本並べたシリコン針状錐体22の本数を3以上とし、この例では、図19と同様に、4本のシリコン針状錐体22を一列に並べている。図22において、3以上のシリコン針状錐体22を電流経路方向に沿って並べ、各錐体22に空乏層形成用端子86<sub>DE</sub>を介して電圧を印加することで各錐体と同心円状に

空乏層71を形成する。

### 【0111】

隣接する空乏層が互いに重なる複数の領域では、空乏層端71deと伝導材料層70の端70Eとの間が広くなつて量子ドットとなり、ソース領域70sとドレイン領域70dとの間には量子ドットが複数形成されることとなる。また、空乏層端71deと伝導材料層70の端70Eとが複数箇所で接し、複数の微小トンネル接合が形成される。上述の実施形態3-4で説明したように、ソース領域70sとドレイン領域70dとの間を伝搬する電子は、複数の量子ドットをかならず伝導する。このため、本実施形態4-2のような構成であれば、量子ドットが1つであるなどの場合にみられる洩れ電流の原因となる協調トンネリングを防止することができ、上記実施形態4-1の単電子トランジスタよりも、単電子効果が顕著になる。なお、量子ドット2つの場合にも協調トンネリングが起こることがあるので、量子ドットが3以上となるようにシリコン針状錐体22を4本以上電流経路方向に並べることがより好ましい。

### 【0112】

以上各実施形態では、錐体が円錐である場合を例にとって説明しているが、円錐に限らず、楕円錐、多角錐もマイクロマスク形成後、基板又は材料層を高選択比異方性エッティングする際のエッティング条件を所望に設定することで実現可能である。

### 【0113】

#### 【発明の効果】

本発明に係る単電子半導体装置は、針先の曲率半径が数nm～十数nm、アスペクト比10程度の非常に細長い針状錐体であり、錐体底角は80°程度以上、錐体高さは、数μm程度とすることのできるシリコン針状錐体を1個又は少数個の電子の伝搬経路に用いる。そして、シリコンプロセスを用いて様々な構成を製造でき、例えばこのシリコン針状錐体を量子ドットとして、又は量子ドット及び微小トンネル接合として用いたり、シリコン針状錐体を埋めるように伝導材料層を設けシリコン針状錐体の周囲の伝導材料層に量子ドット、微小トンネル接合とすることができます。

## 【0114】

そして、これらのシリコン針状錐体は、例えば単結晶シリコンに不純物を導入し析出させることで、これをマイクロマスクとして高選択比異方性エッチングすることで形成可能である。従って、シリコンプロセスによって単電子半導体装置を製造することが可能となり、例えば、情報機器やパーソナル携帯機器等に有用な低消費電力で、高集積化の可能なLSIを実現でき、また機器の電池駆動による動作時間等の延長を図ることができる。

## 【図面の簡単な説明】

【図1】 本発明のシリコン針状錐体の形成原理を示す模式図である。

【図2】 本発明の実施形態1-1に係る単電子トランジスタの構成を示す図である。

【図3】 本発明の実施形態1-1に係る単電子トランジスタの製造方法の例を示す図である。

【図4】 本発明の実施形態1-1に係る単電子トランジスタの製造方法の例を示す図である。

【図5】 本発明の実施形態1-1に係る単電子トランジスタの他の構成例を示す図である。

【図6】 本発明の実施形態1-2に係る単電子トランジスタの構成を示す図である。

【図7】 本発明の実施形態2-1に係る単電子トランジスタの構成を示す図である。

【図8】 本発明の実施形態2-1に係る単電子トランジスタの製造方法の例を示す図である。

【図9】 本発明の実施形態2-1に係る単電子トランジスタの製造方法の例を示す図である。

【図10】 本発明の実施形態2-2に係る単電子トランジスタの構成を示す図である。

【図11】 本発明の実施形態2-3に係る単電子トランジスタの構成を示す図である。

【図12】 実施形態2-3に係る单電子トランジスタのシリコン針状錐体の形成方法の一例を示す図である。

【図13】 本発明の実施形態3-1に係る单電子トランジスタの構成を示す図である。

【図14】 本発明の実施形態3-1に係る单電子トランジスタの製造方法の例を示す図である。

【図15】 本発明の実施形態3-1に係る单電子トランジスタの製造方法の例を示す図である。

【図16】 本発明の実施形態3-1におけるシリコン針状錐体の他の配置例を示す図である。

【図17】 本発明の実施形態3-2に係る单電子トランジスタの構成を示す図である。

【図18】 本発明の実施形態3-3に係る单電子トランジスタの構成を示す図である。

【図19】 本発明の実施形態3-4に係る单電子トランジスタの構成を示す図である。

【図20】 本発明の実施形態4-1に係る单電子トランジスタの構成を示す図である。

【図21】 本発明の実施形態4-2に係る单電子トランジスタの構成を示す図である。

【図22】 本発明の実施形態4-2に係る他の单電子トランジスタの構成を示す図である。

【図23】 单電子トランジスタの一般的等価回路図である。

【図24】 单電子トランジスタの動作特性を示した図である。

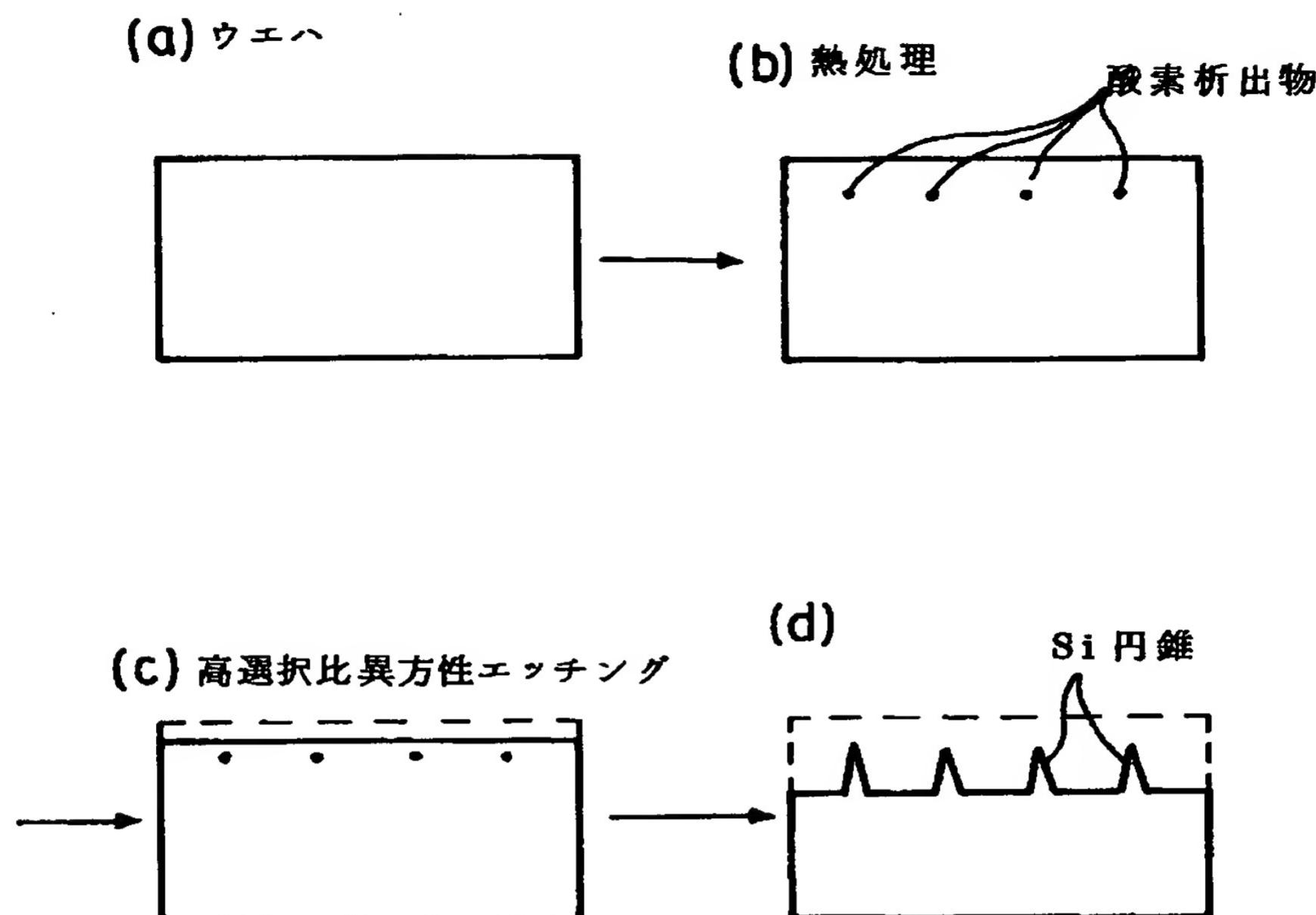
#### 【符号の説明】

10 シリコン基板、12 埋め込み酸化層、20 薄膜単結晶シリコン層、  
20d, 44, 70d ドレイン領域、20s, 46, 70s ソース領域、24, 72 酸化膜（熱酸化膜）、26, 54, 56, 84 酸化膜（CVD酸化膜）、30, 40, 60, 82, 90 ゲート電極（電位制御用電極）、30d

, 48d, 86d ドレイン端子 (A1)、30g, 48g, 86g ゲート端子 (A1)、30s, 48s, 86s ソース端子 (A1)、31 個別ゲート電極、70 伝導材料層 (多結晶シリコン)、70E 伝導材料層の端、71 空乏層、71de 空乏層端、80 多結晶シリコン膜。

【書類名】 図面

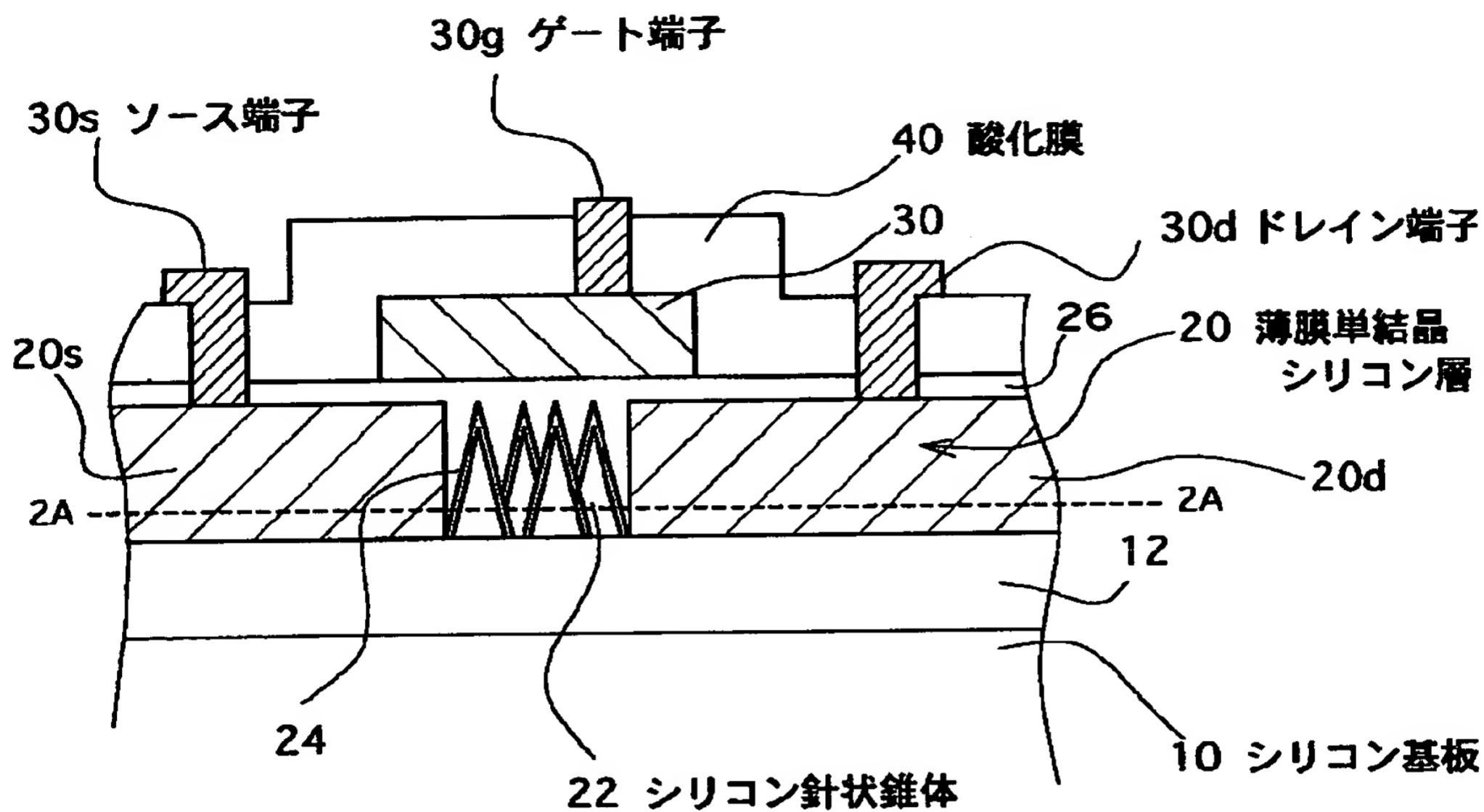
【図1】



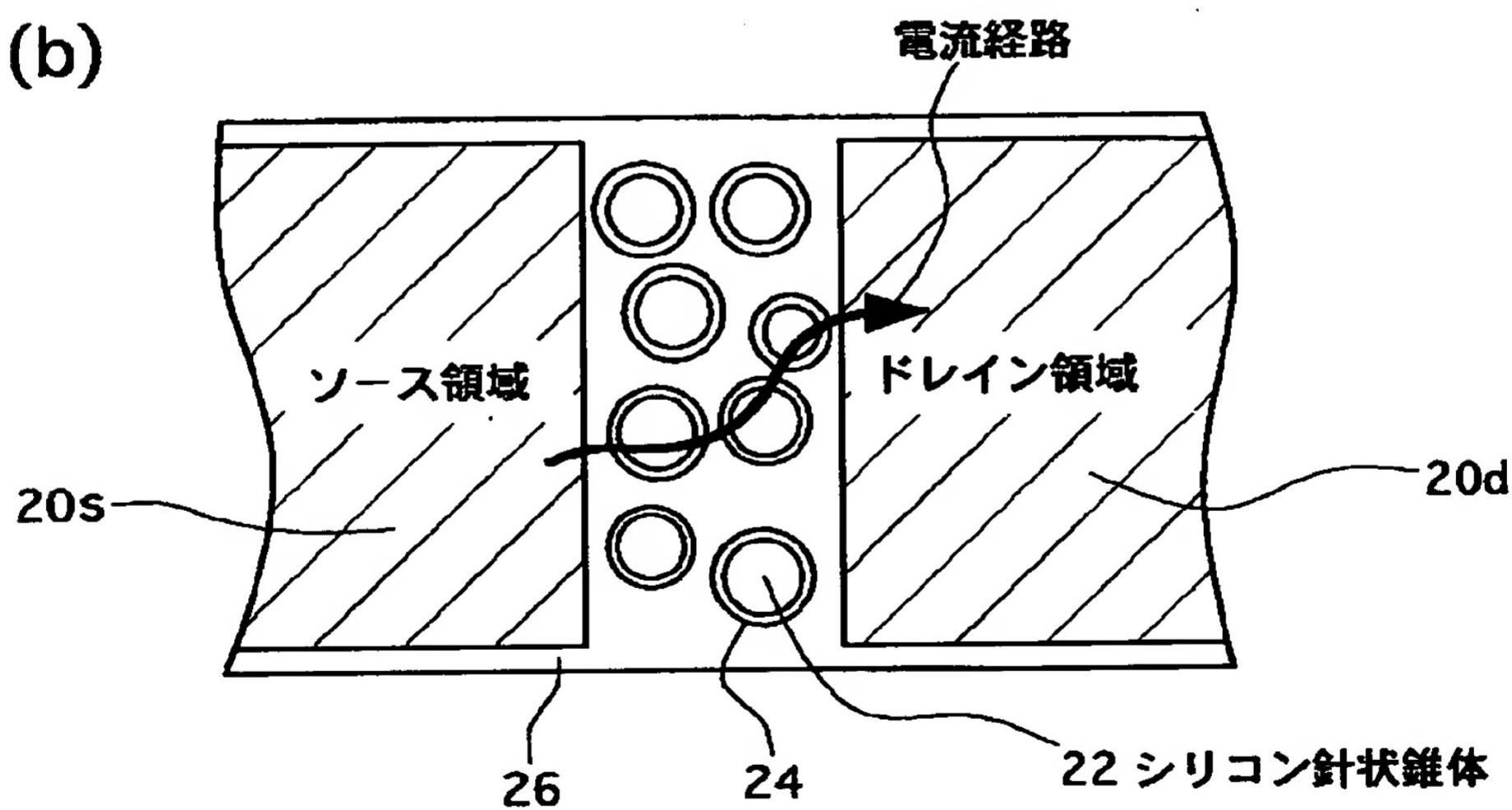
高選択性異方性エッティングによる Si 円錐形成原理模式図  
(ウエハを断面から見たところ)

【図2】

(a)

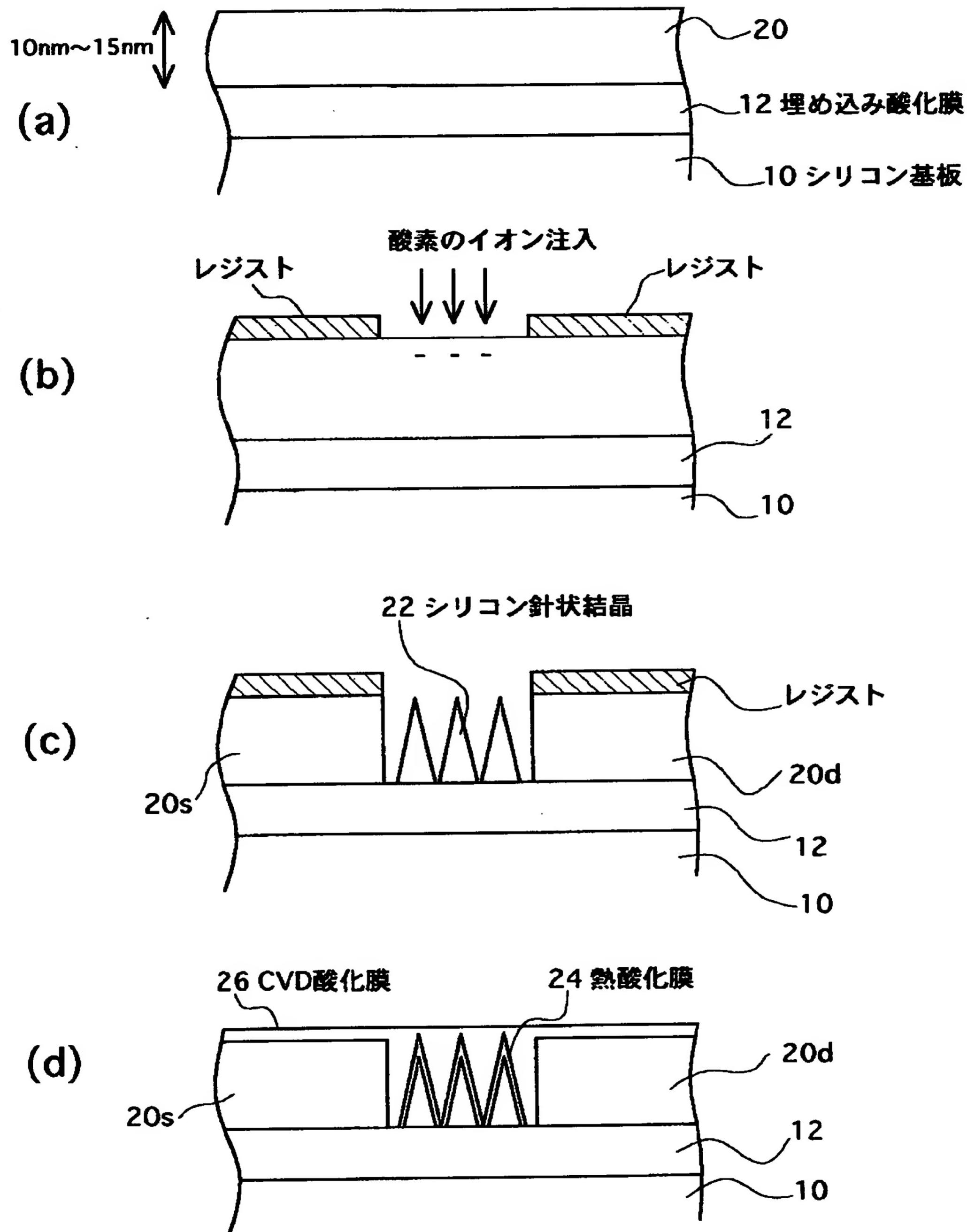


(b)

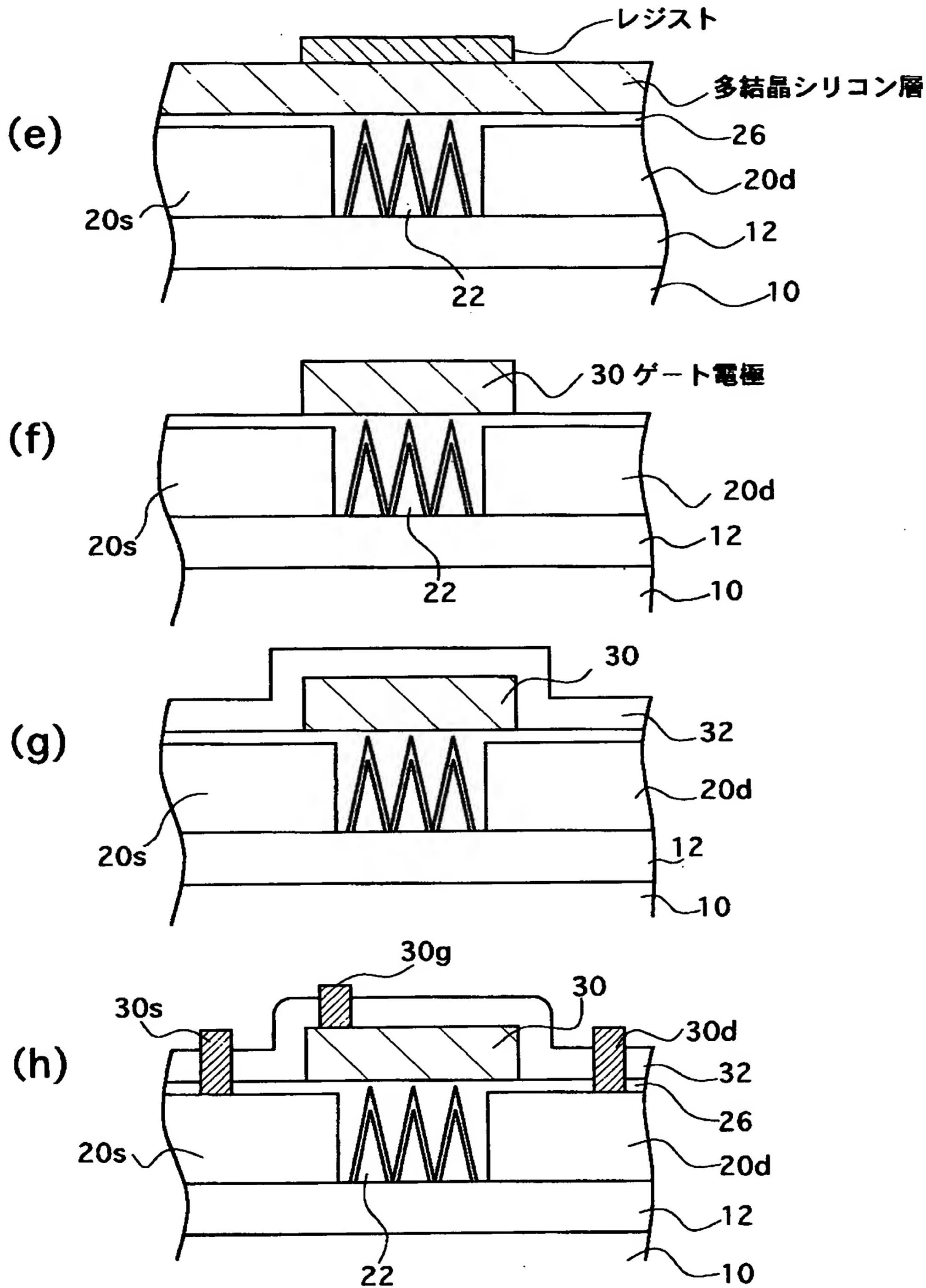


実施形態1-1

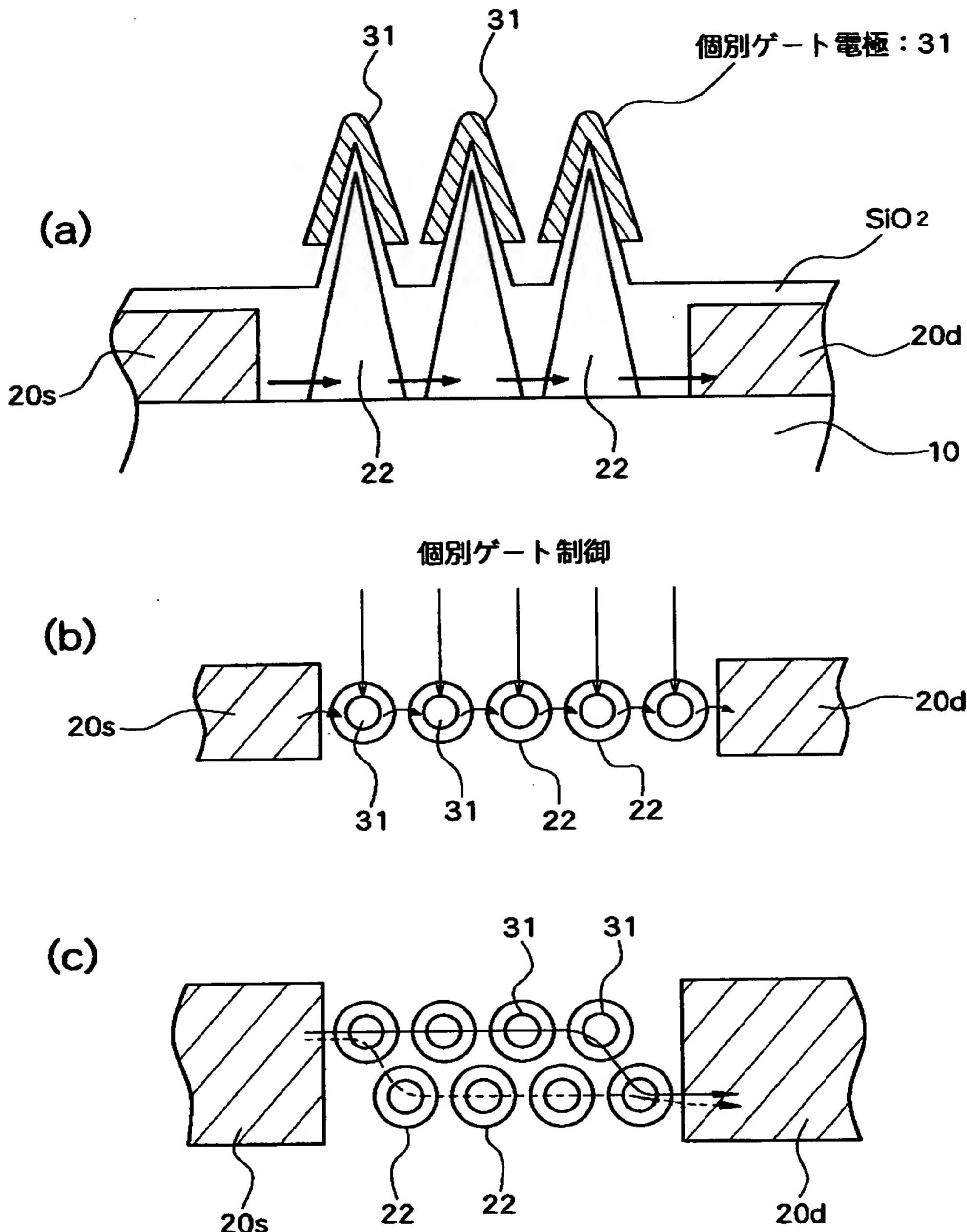
【図3】



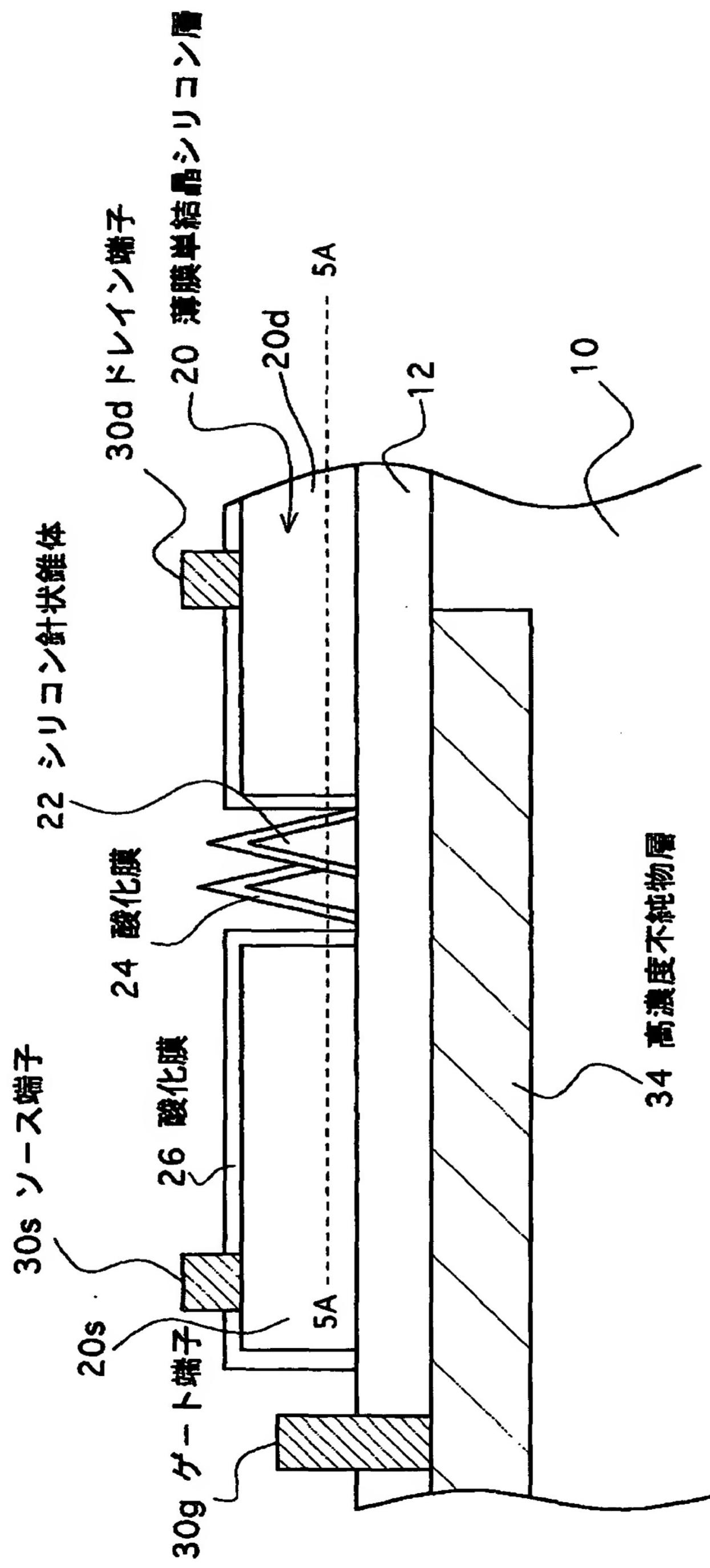
【図4】



【図5】



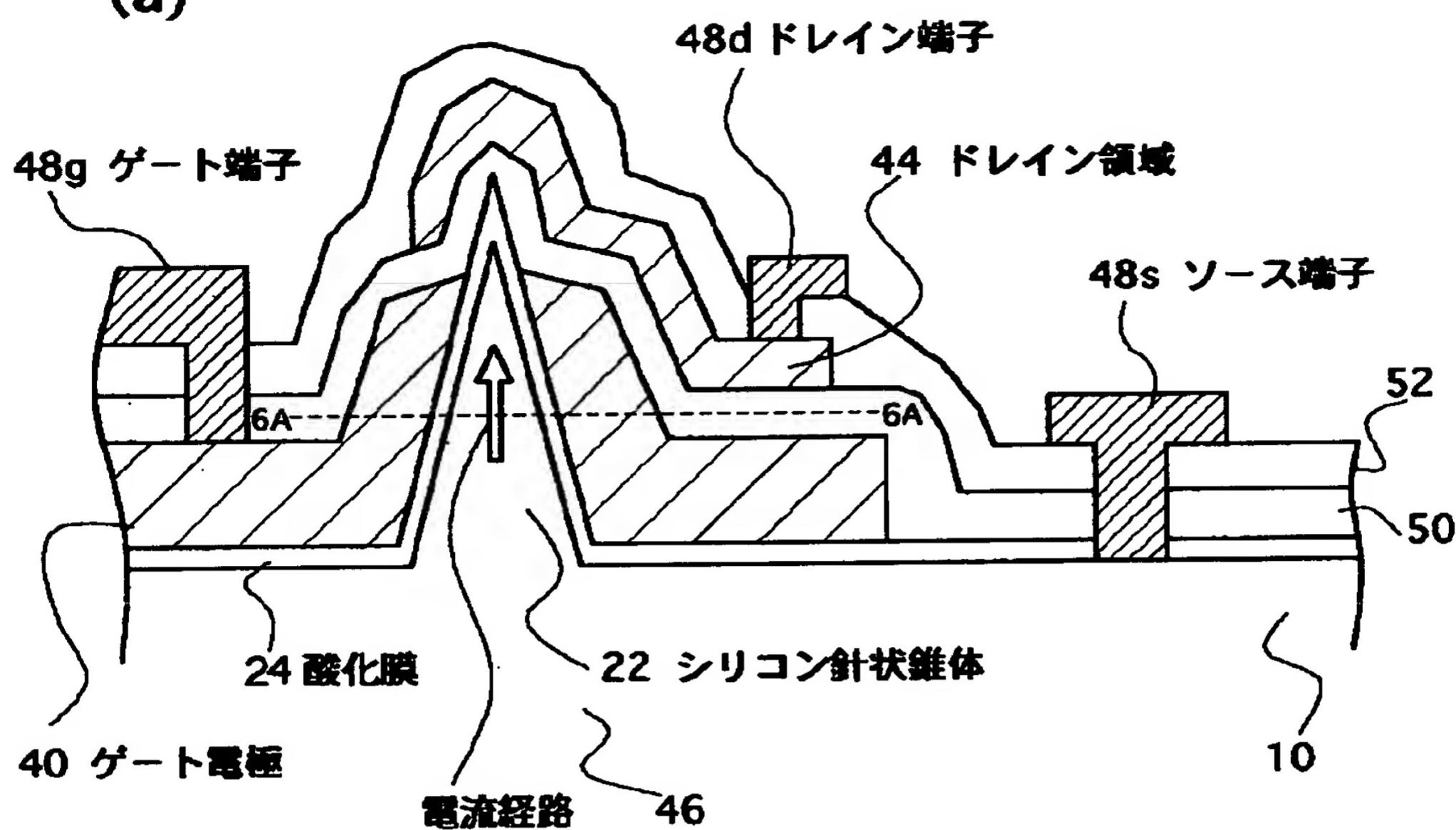
【図6】



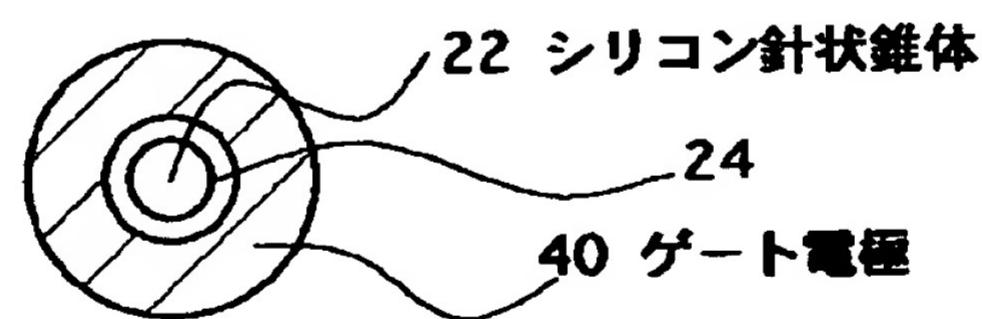
実施形態1-2

【図7】

(a)

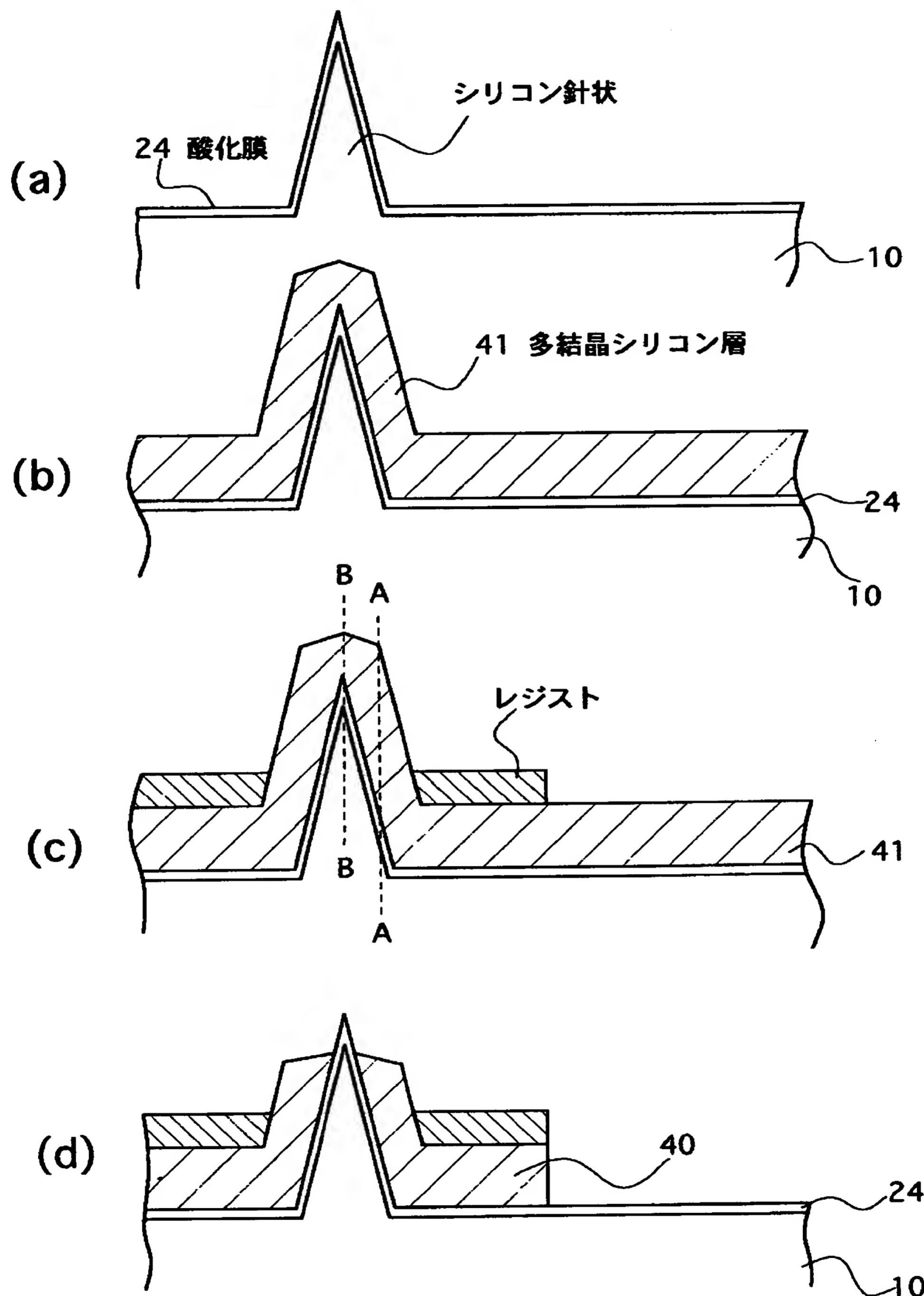


(b)

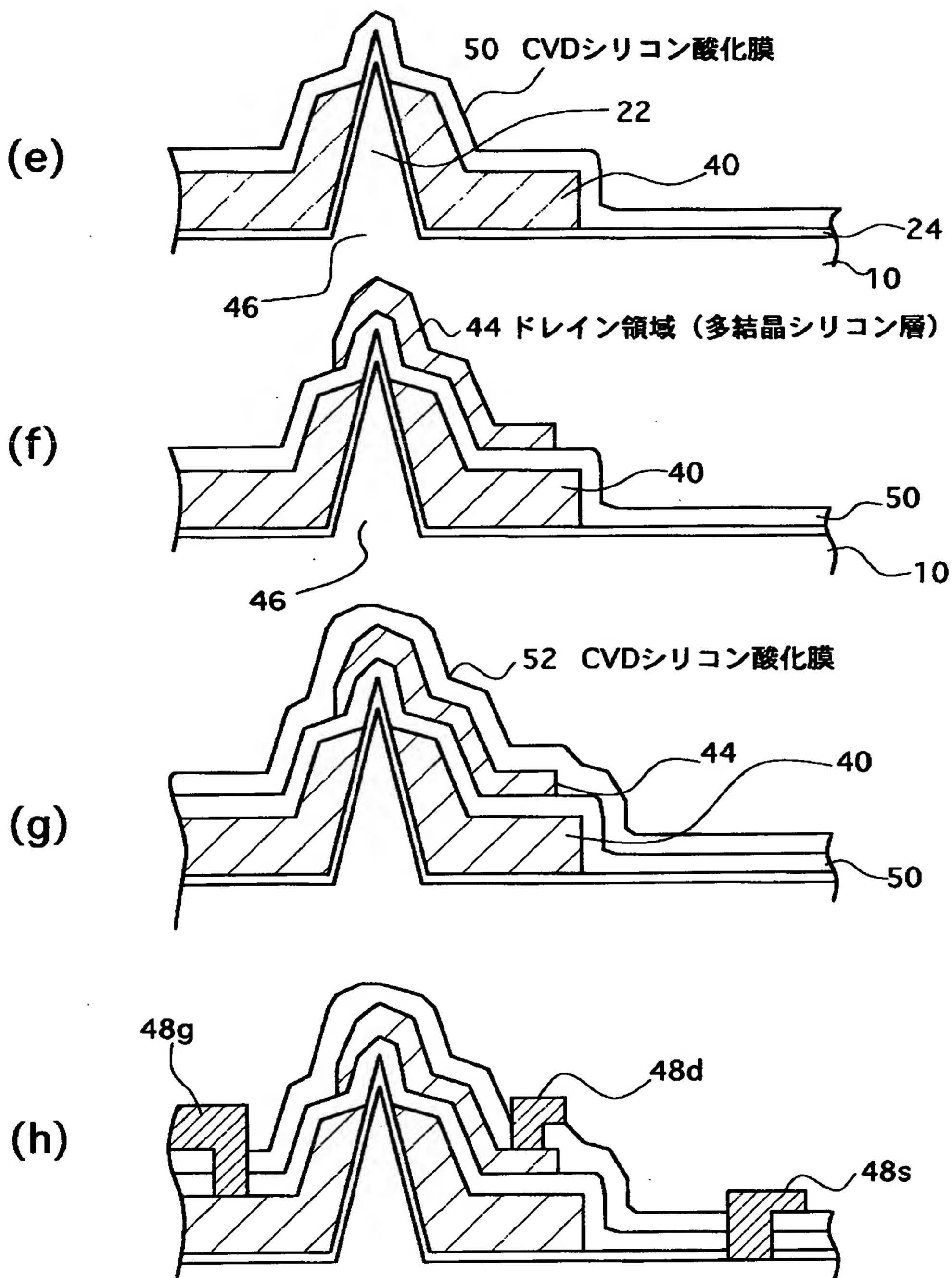


実施形態2-1

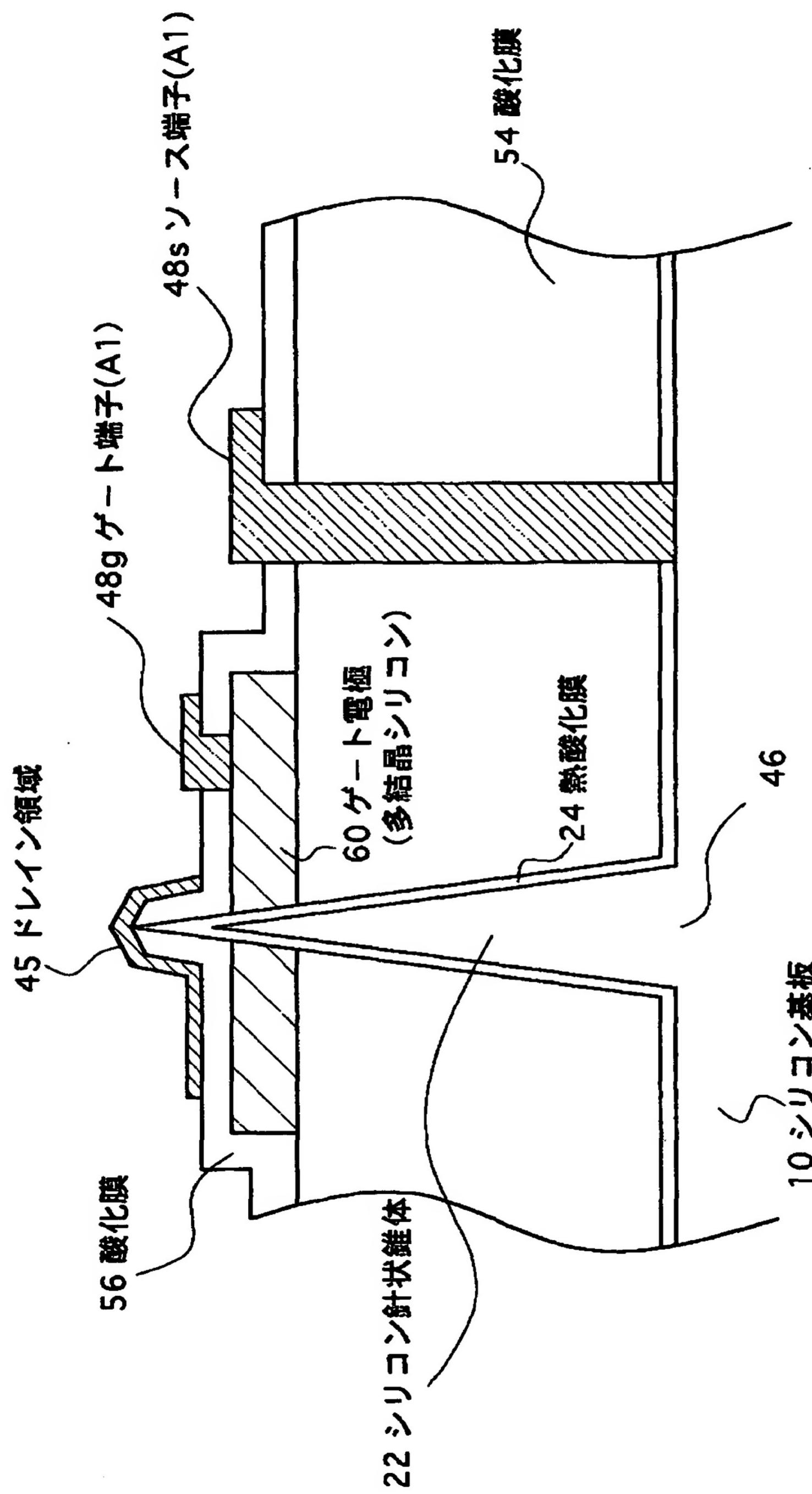
【図8】



【図9】

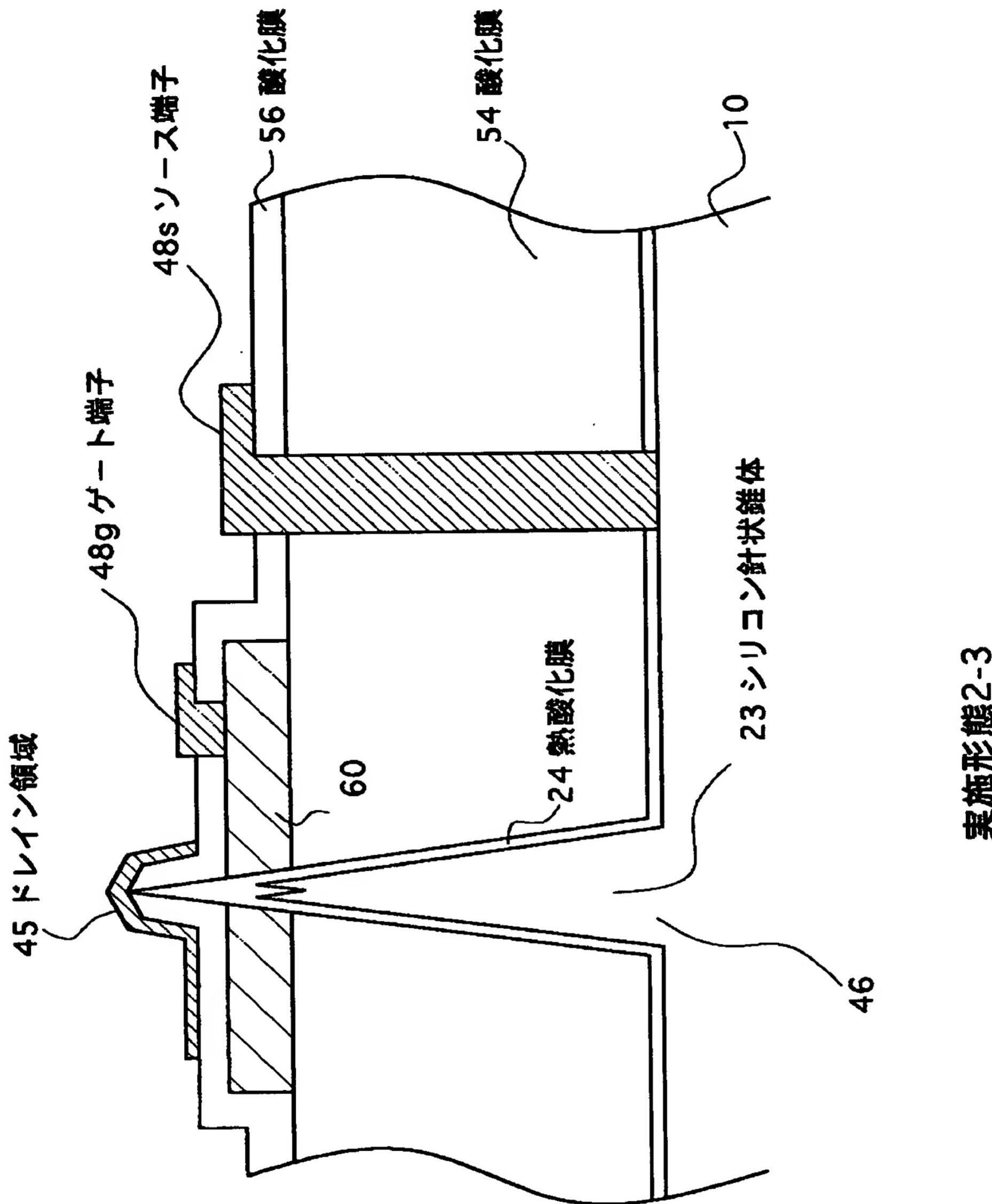


【図10】



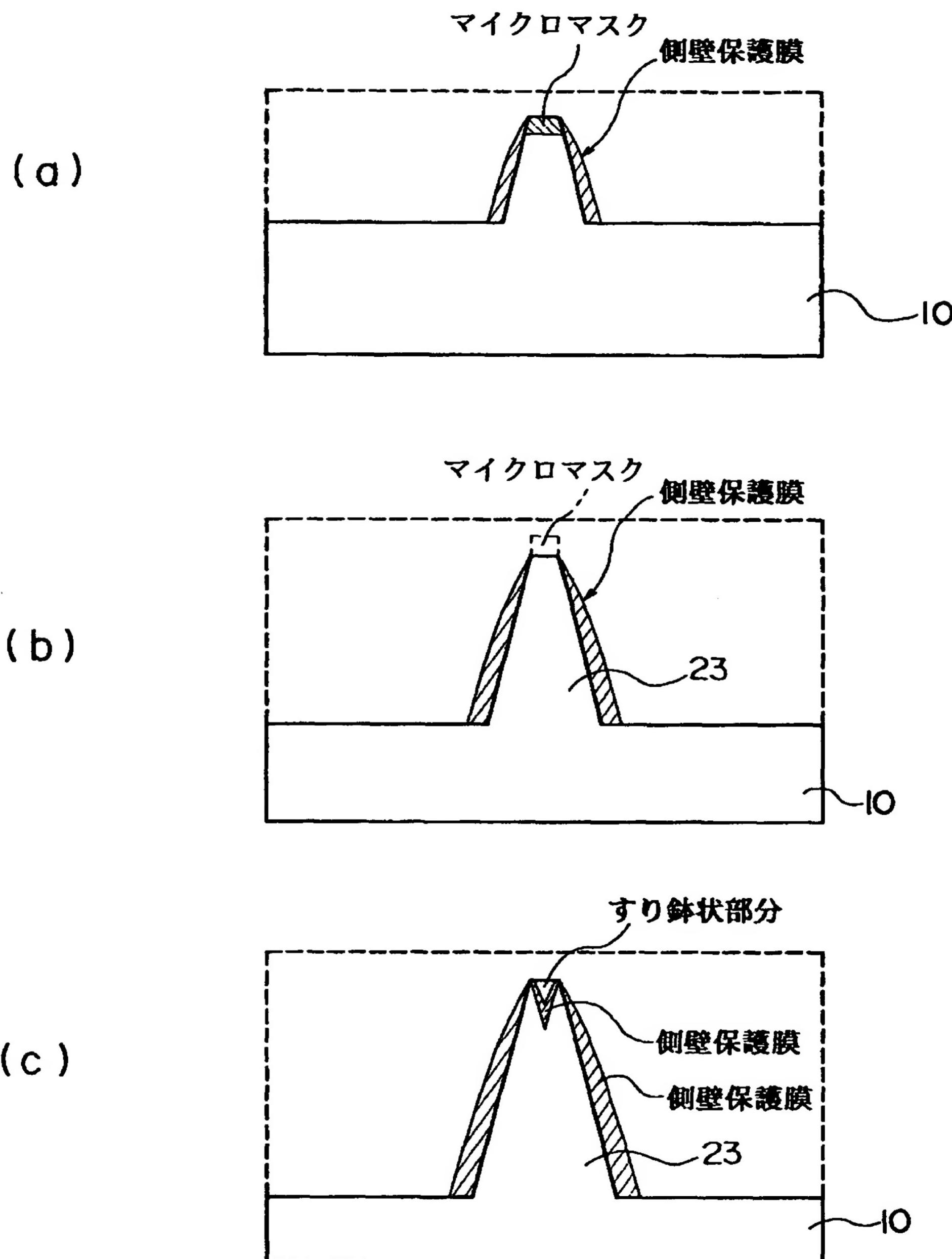
実施形態2-2

【図11】

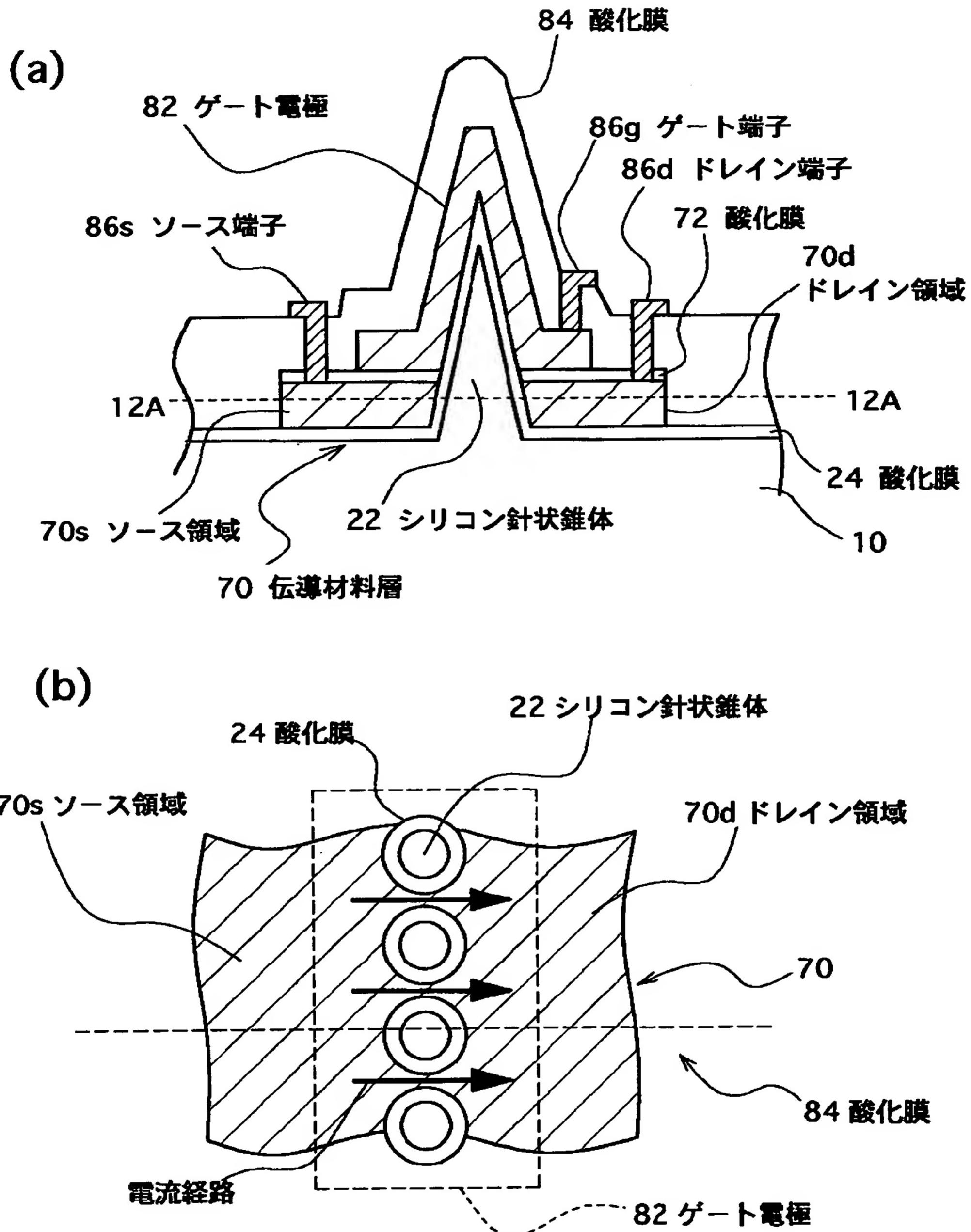


実施形態2-3

【図12】

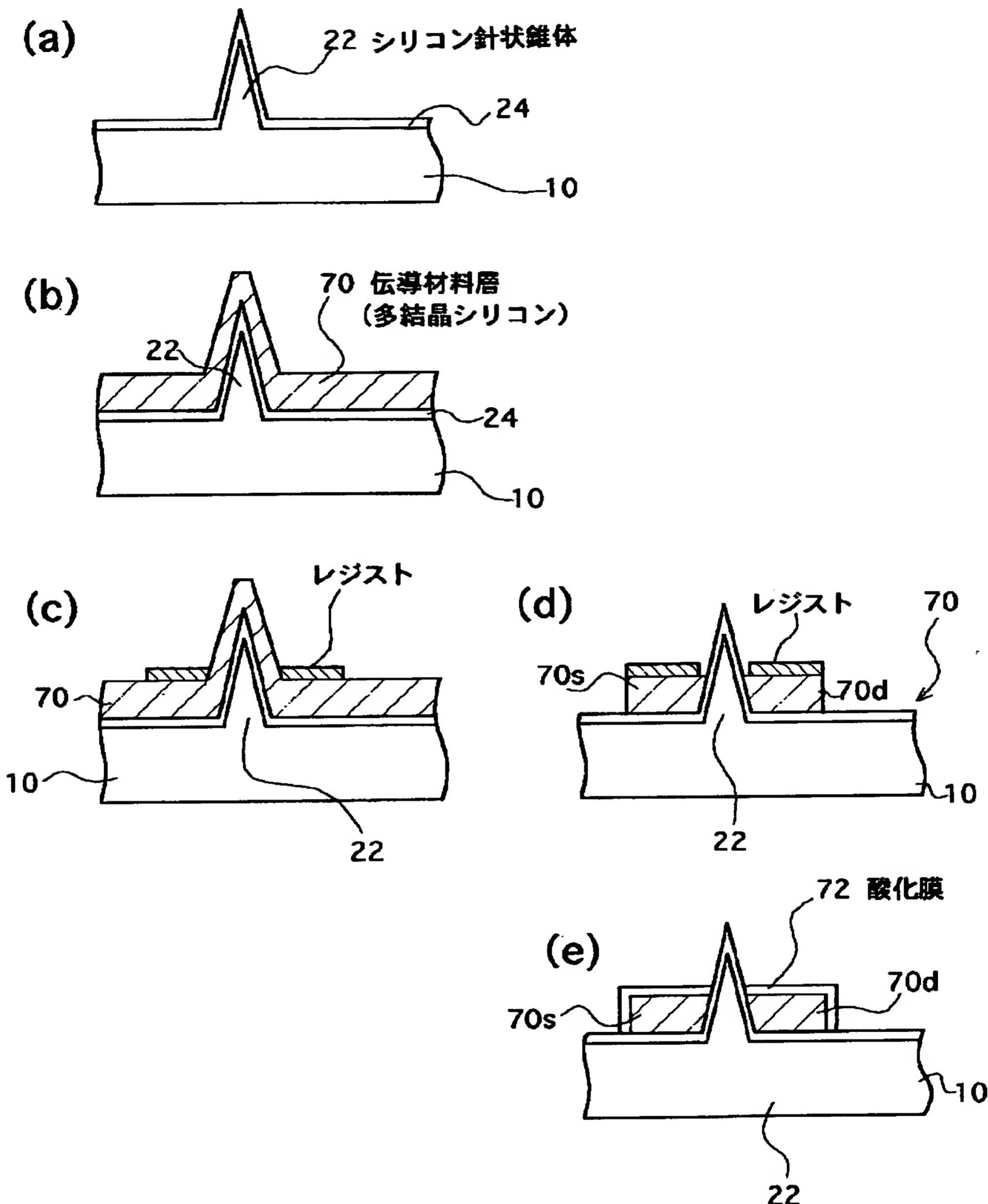


【図13】

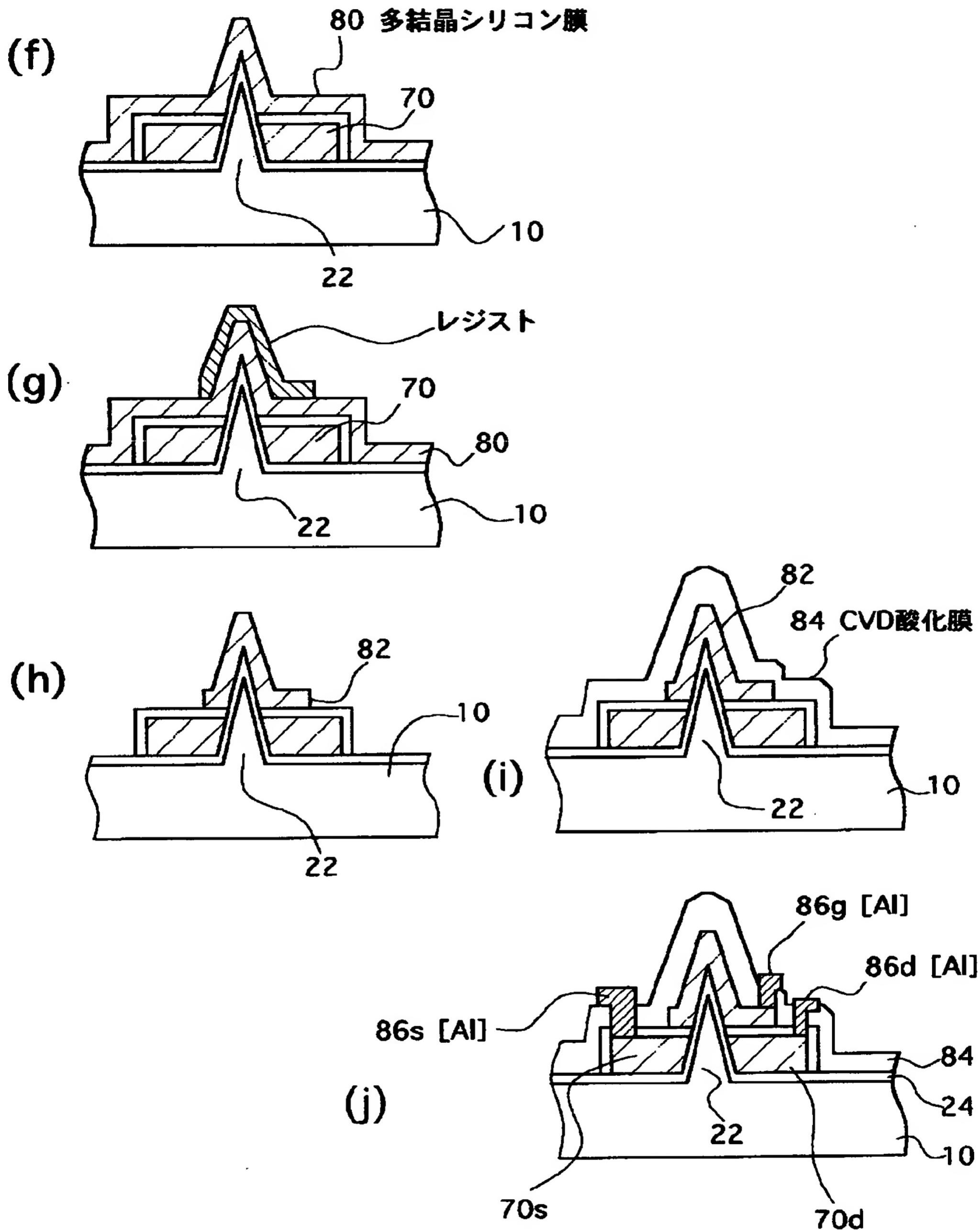


実施形態 3-1

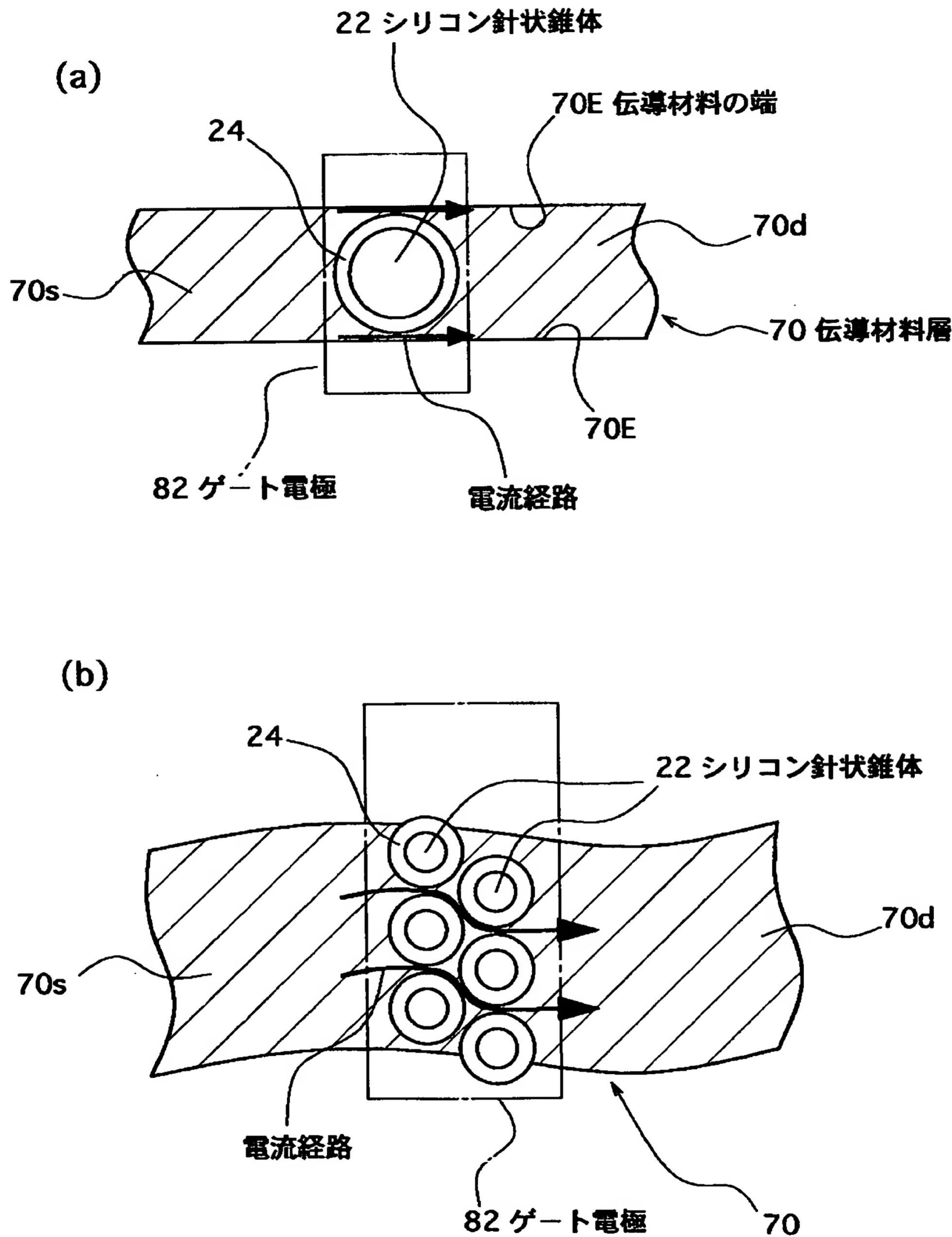
【図14】



【図15】

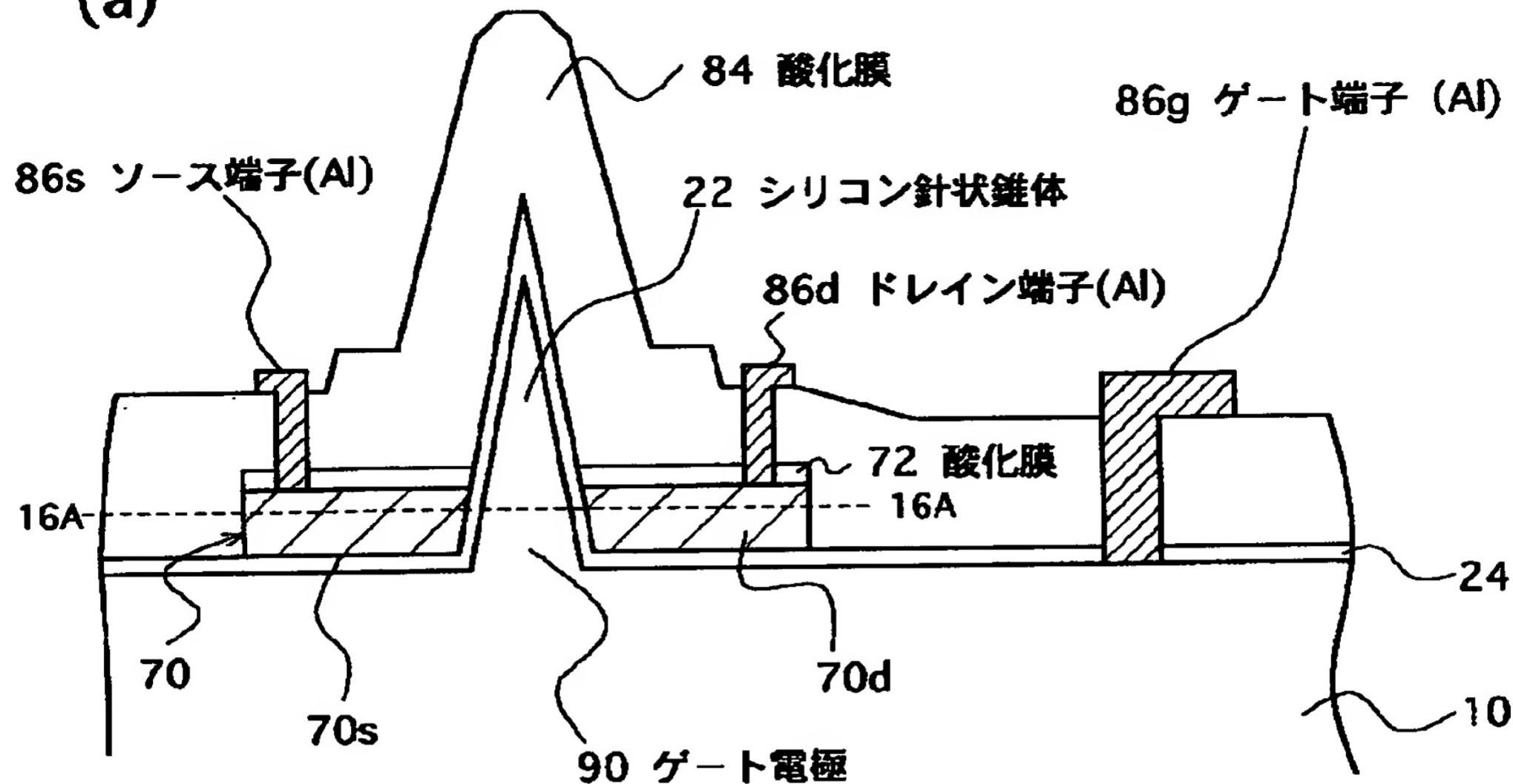


【図16】

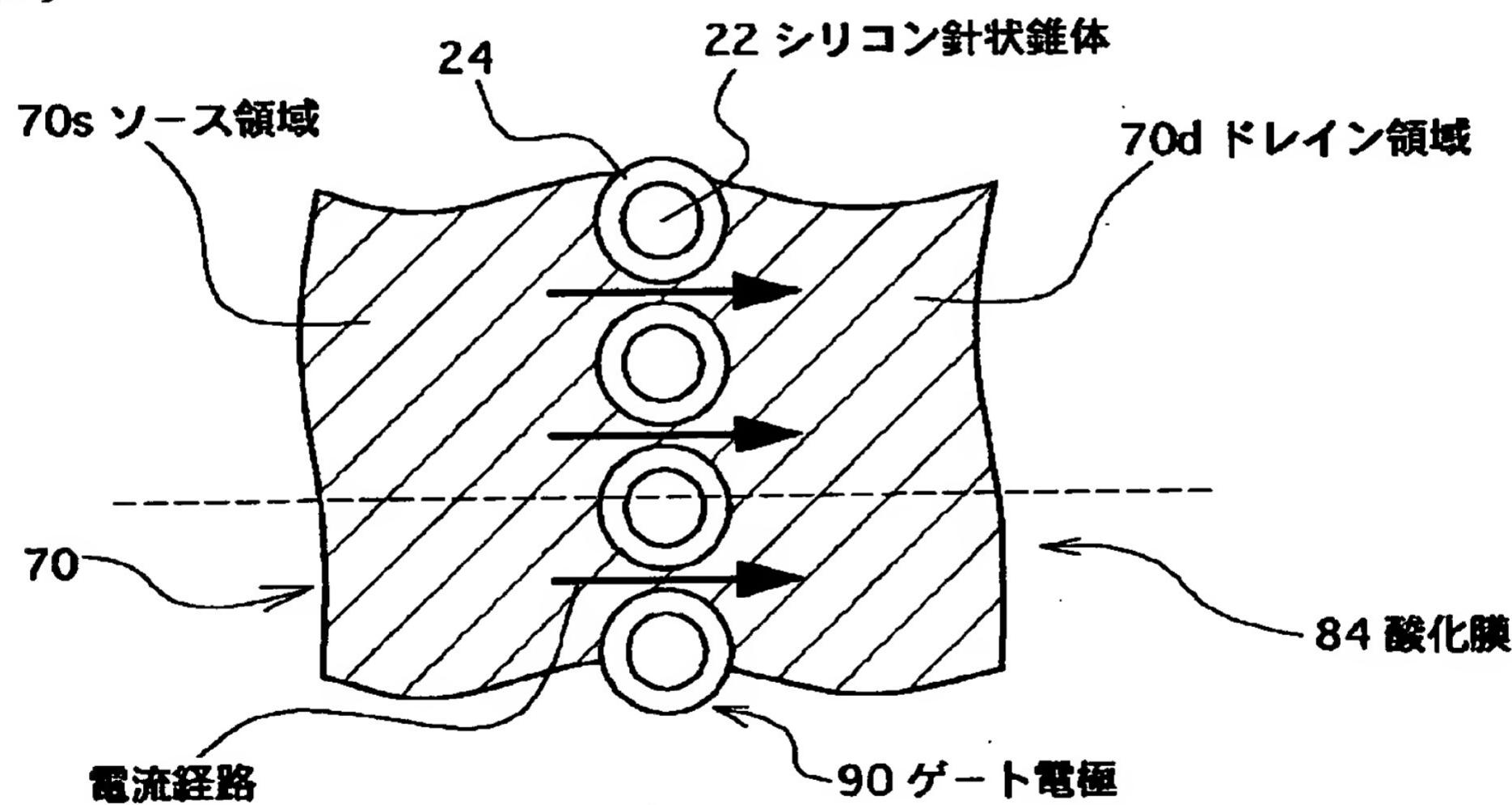


【図17】

(a)



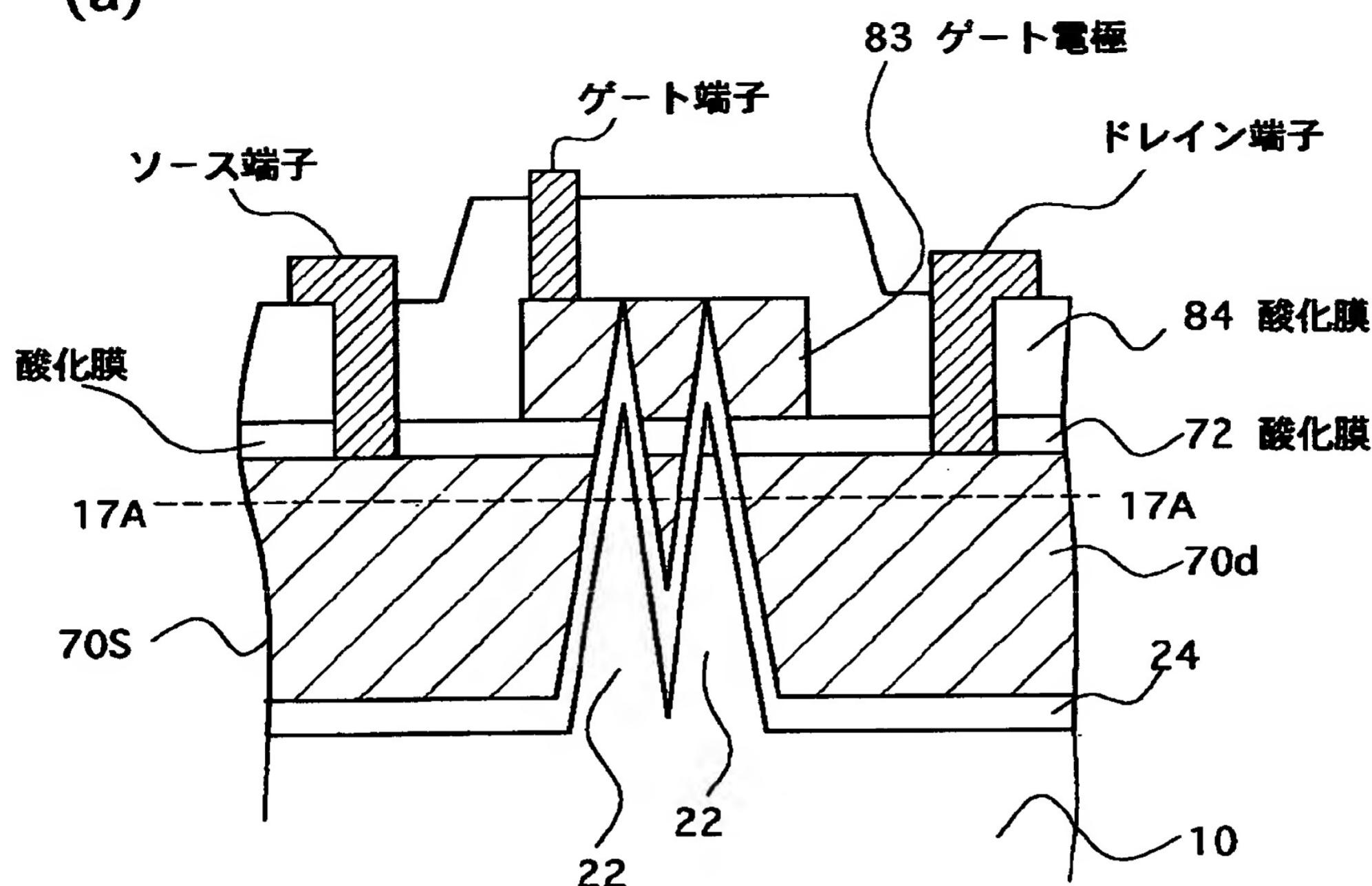
(b)



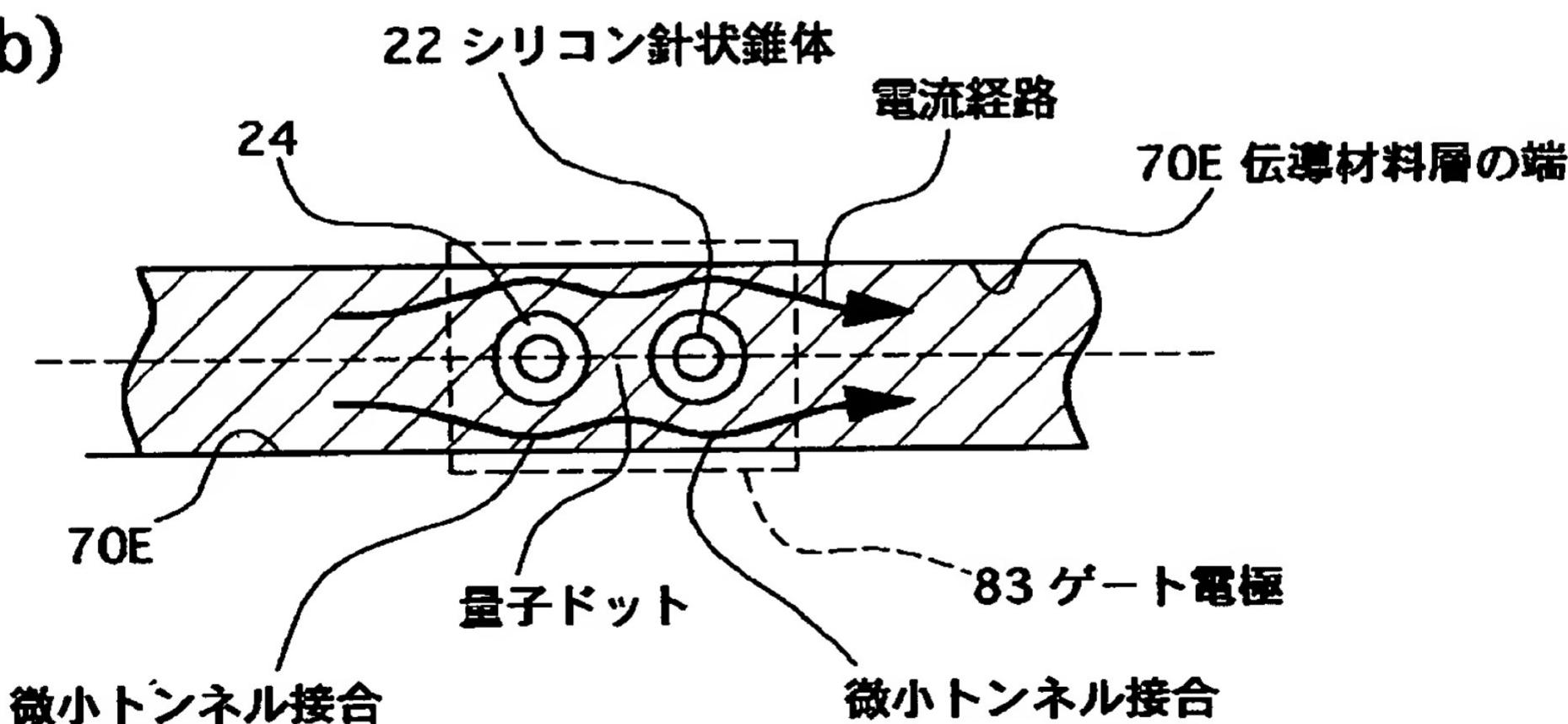
実施形態3-2

【図18】

(a)

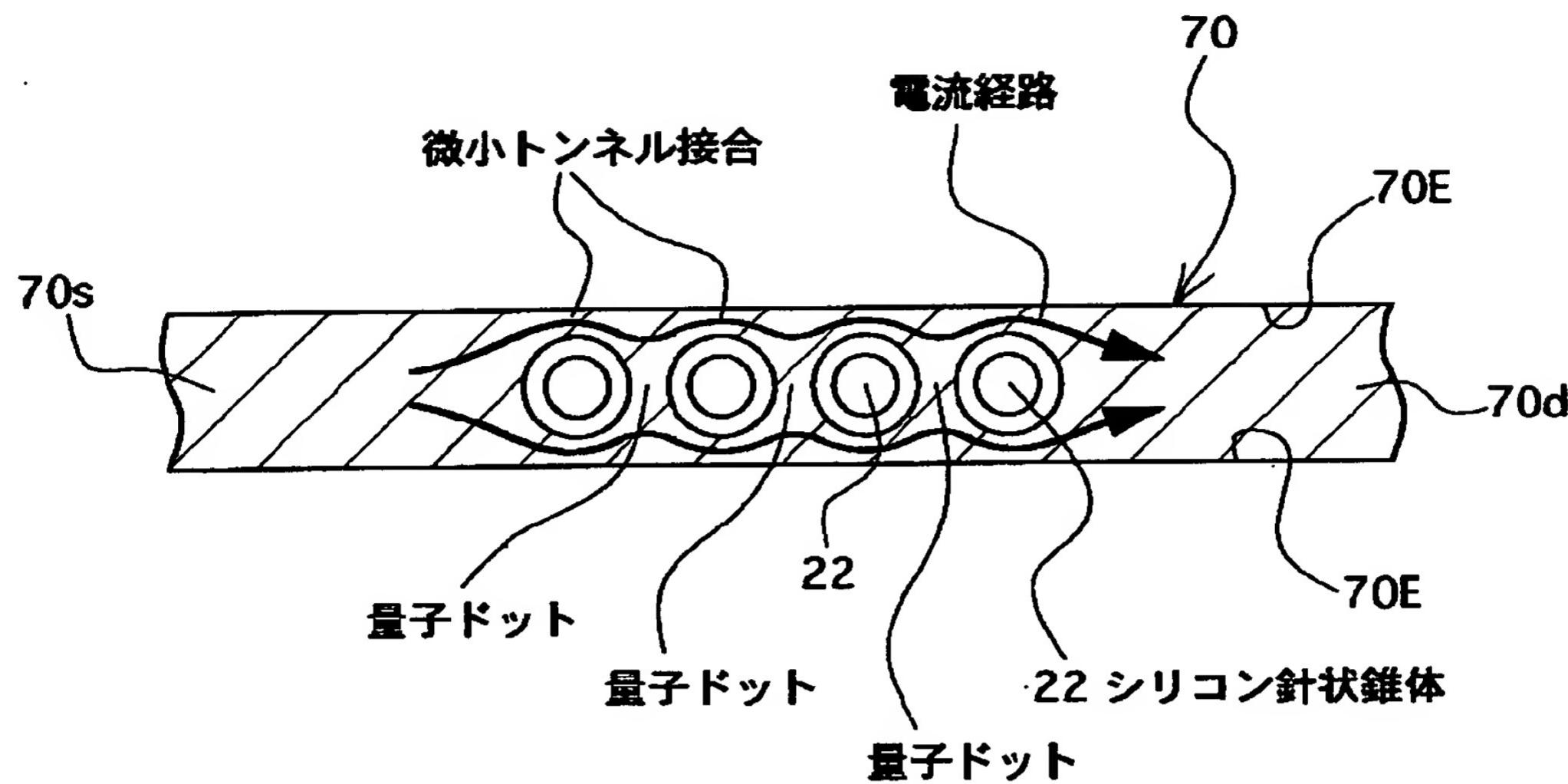


(b)



## 実施形態 3-3

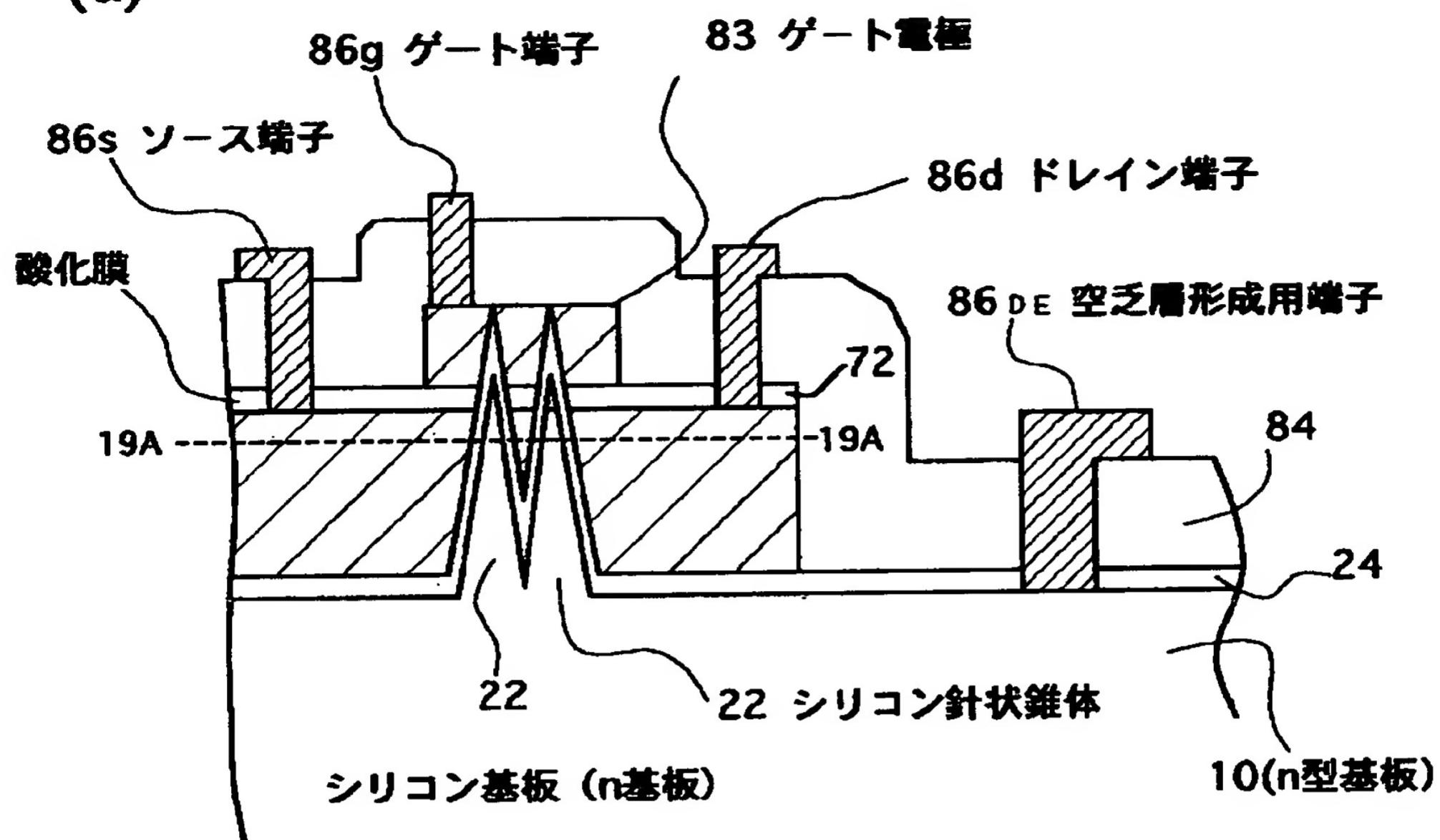
【図19】



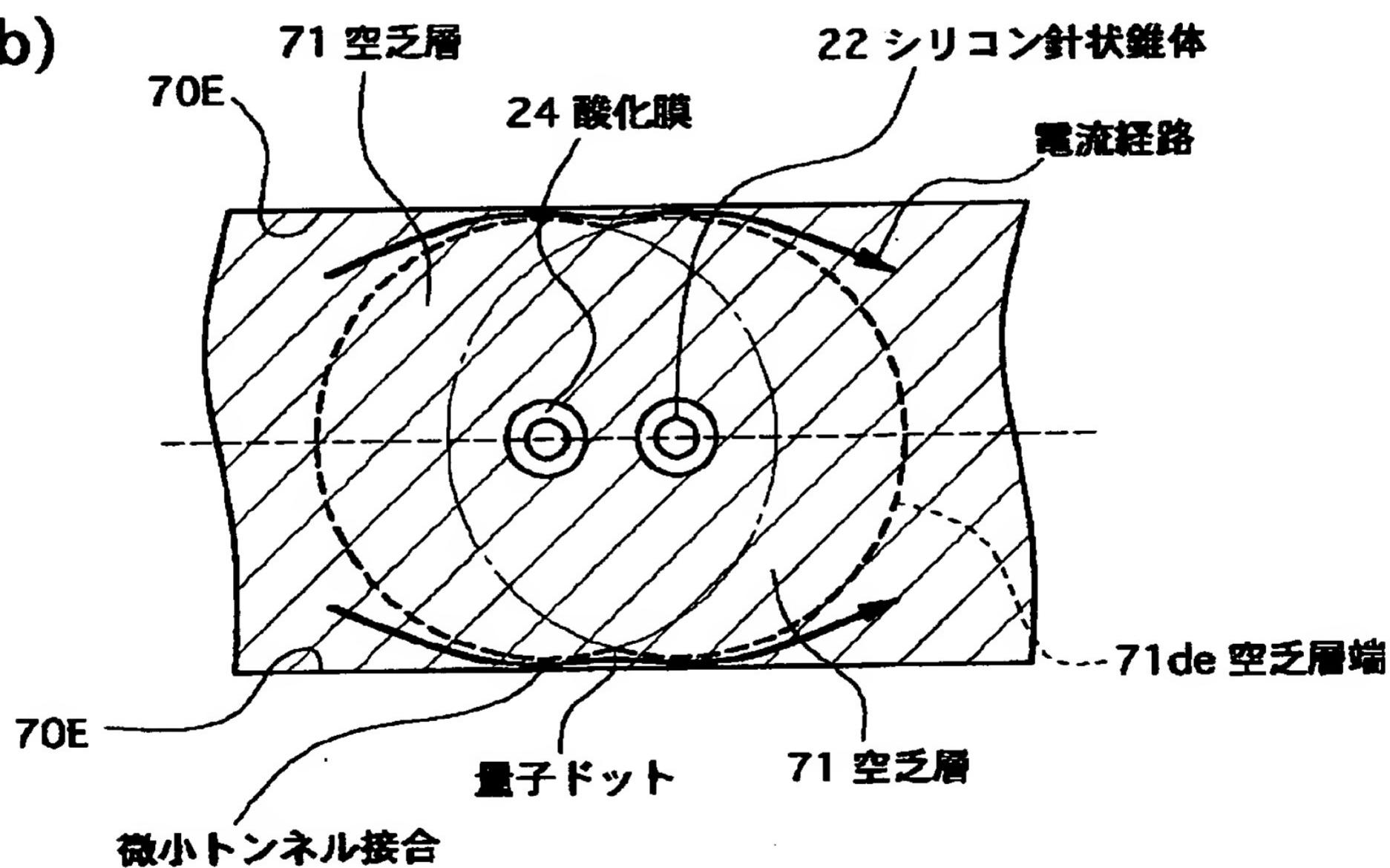
実施形態 3-4

【図20】

(a)

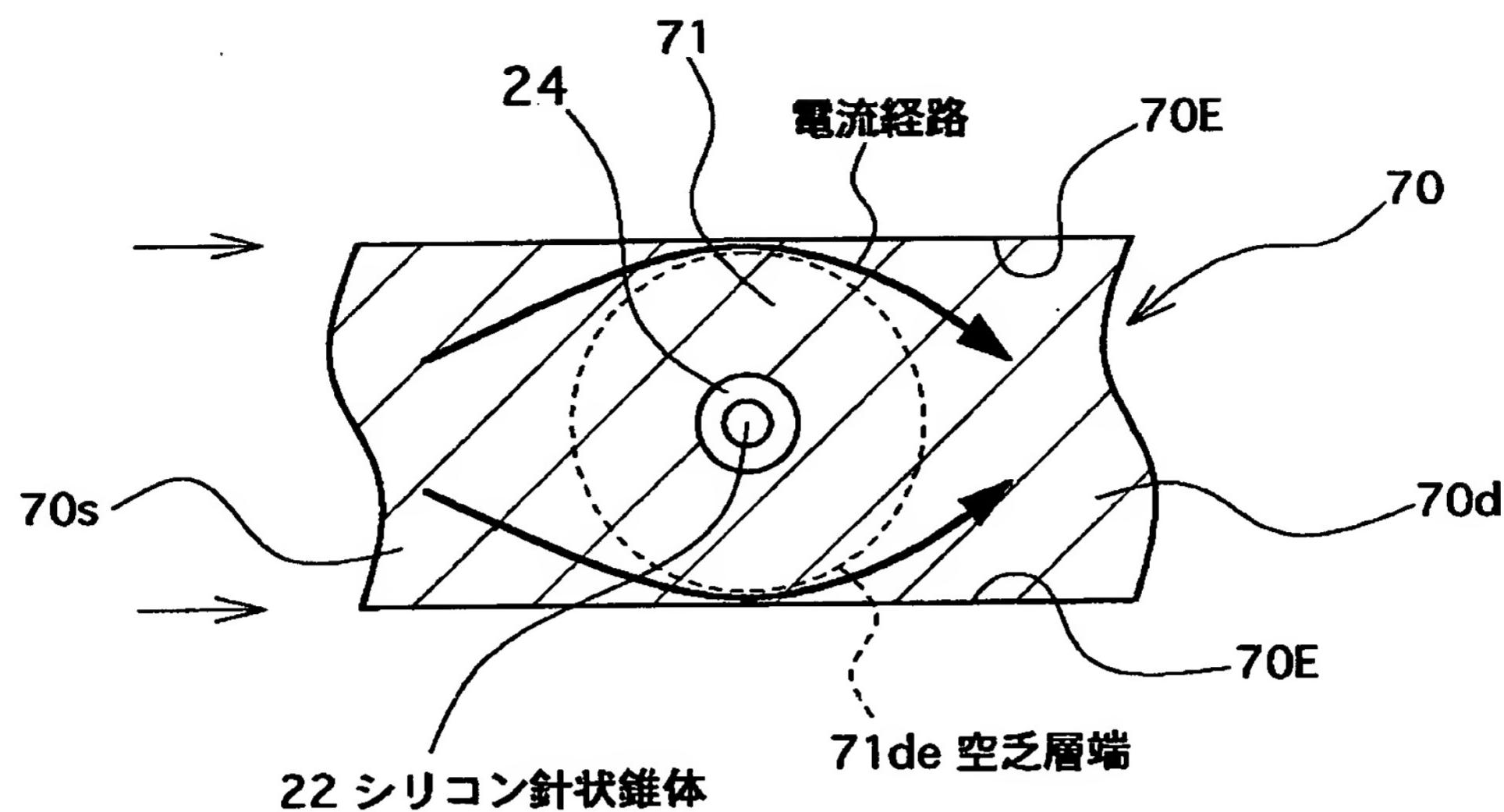


(b)



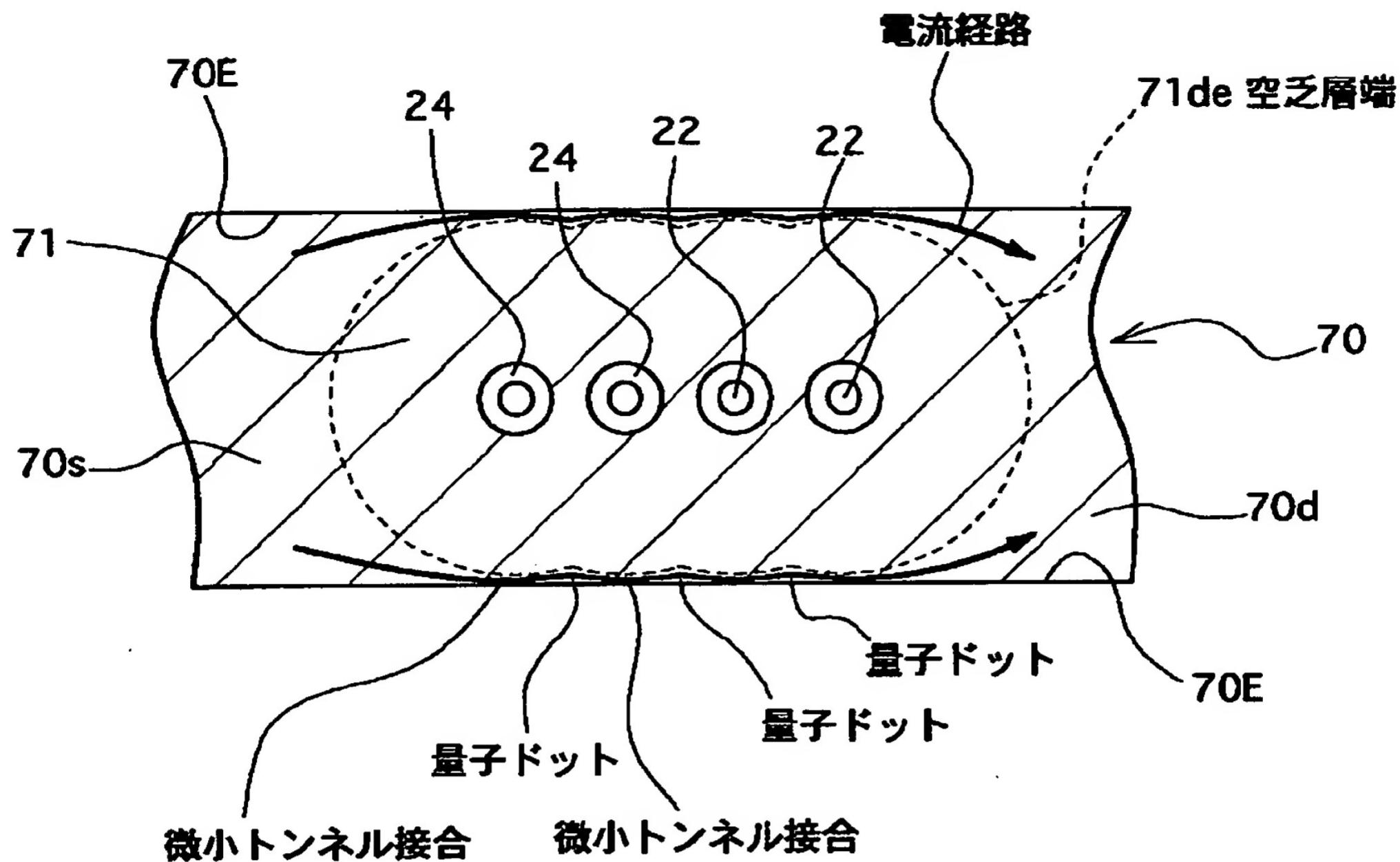
実施形態 4-1

【図21】



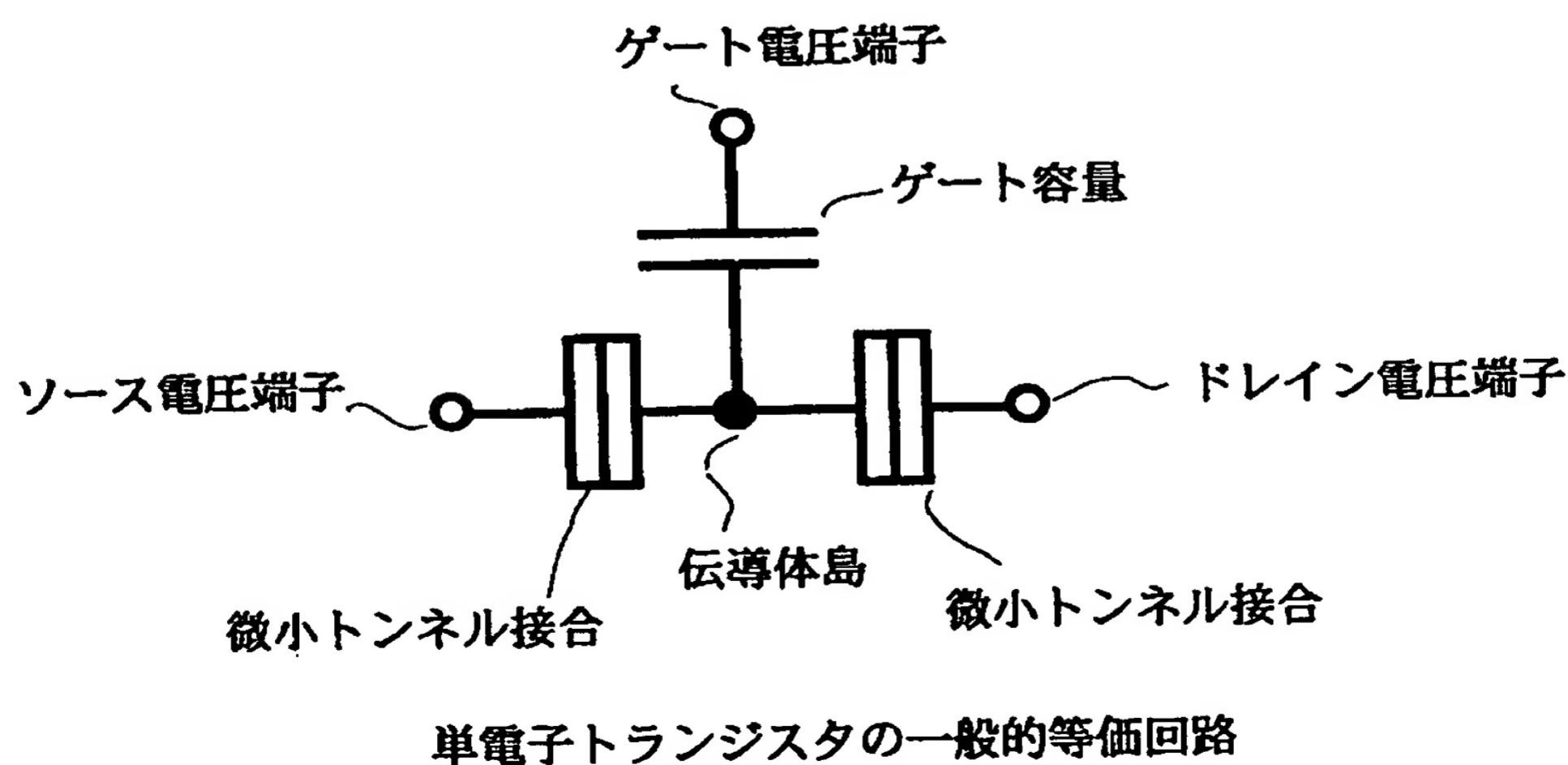
実施形態 4-2

【図22】

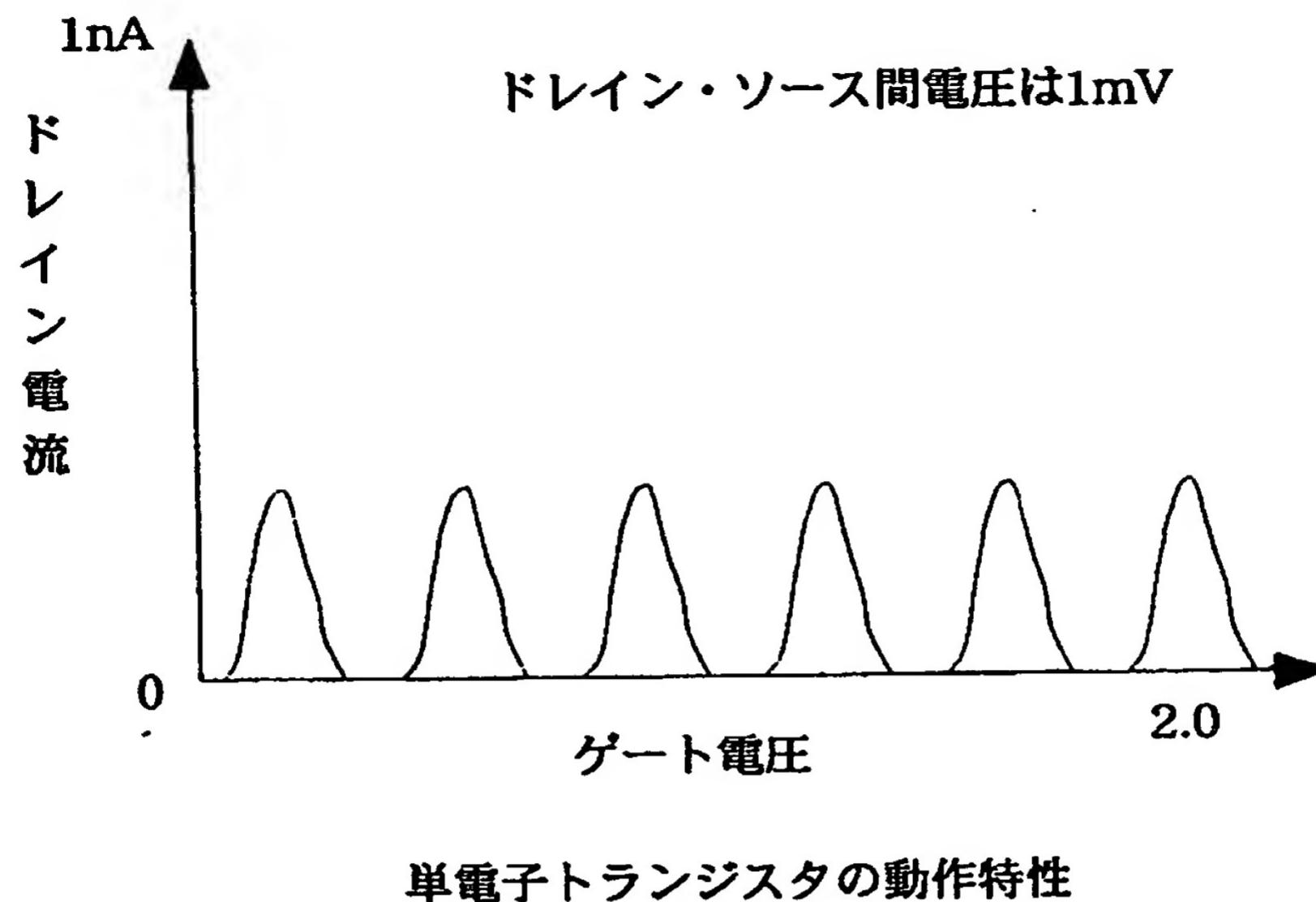


## 実施形態 4-2

【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 シリコンプロセスにて形成可能な单電子トランジスタの提供。

【解決手段】 1個又は少数個の電子の伝搬を制御する单電子半導体装置であり、1個又は少数個の電子の伝搬経路の少なくとも一部としてシリコン針状錐体22を用いる。シリコン針状錐体22は、その先端付近の曲率半径が数nm～十数nm程度である。よって、錐体22を量子ドットとして、又は量子ドット及び微小トンネル接合として機能させることができる。その他、シリコン針状錐体22を埋め込むように伝導材料層を形成し、その錐体22の周囲を量子ドット及び微小トンネル接合として機能させても良い。

【選択図】 図2

出願人履歴情報

識別番号 [000003609]

1. 変更年月日 1990年 9月 6日  
[変更理由] 新規登録  
住 所 愛知県愛知郡長久手町大字長湫字横道41番地の1  
氏 名 株式会社豊田中央研究所